



IFW

Docket No. 50024-03

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Seiichi BANBA, et al. : Confirmation Number: 5193
: :
Serial No.: 10/802,878 : Group Art Unit: 2817
: :
Filed: March 18, 2004 : Examiner: Not Yet Assigned
: :
For: VARIABLE IMPEDANCE CIRCUIT, VARIABLE GAIN DIFFERENTIAL
AMPLIFIER, MULTIPLIER, HIGH-FREQUENCY CIRCUIT AND DIFFERENTIAL
DISTRIBUTED AMPLIFIER

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

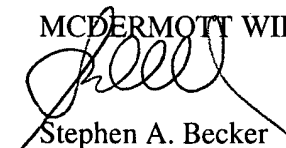
Japanese Patent Application No. 2003-075902, filed March 19, 2003.

Japanese Patent Application No. 2004-055399, filed February 27, 2004.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 SAB:aph
Facsimile: 202.756.8087
Date: August 23, 2004

BEST AVAILABLE COPY

W1802, 878

50024-026

August 23, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年 3月19日

出 願 番 号
Application Number:

特願2003-075902

[ST. 10/C]:

[JP2003-075902]

出 願 人
Applicant(s):

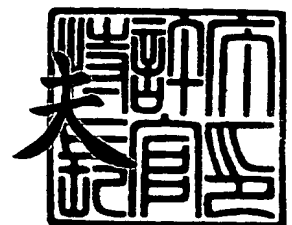
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 NPC1020072

【提出日】 平成15年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 3/00
H03F 3/45

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 馬場 清一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 二改 教広

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100098305

【弁理士】

【氏名又は名称】 福島 祥人

【電話番号】 06-6330-5625

【手数料の表示】

【予納台帳番号】 032920

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006012

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変インピーダンス回路、可変利得型差動増幅器、乗算器および高周波回路

【特許請求の範囲】

【請求項 1】 第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続される第 2 の端子および第 1 のインピーダンス素子を介して第 2 の電位に接続される第 3 の端子を有する第 1 のトランジスタと、

第 2 の入力信号を受ける第 1 の端子、第 2 の負荷を介して前記第 1 の電位に接続される第 2 の端子および第 2 のインピーダンス素子を介して前記第 2 の電位に接続される第 3 の端子を有する第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に接続された可変インピーダンス回路とを備え、

前記可変インピーダンス回路は、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素を含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変利得型差動増幅器。

【請求項 2】 第 1 の端子、第 2 の端子および第 3 の端子を有する第 1、第 2、第 3、第 4、第 5 および第 6 のトランジスタと、

可変インピーダンス回路とを備え、

前記第 1 のトランジスタの前記第 1 の端子は第 1 の入力信号を受け、前記第 2 の端子は第 1 の負荷を介して第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 2 のトランジスタの前記第 1 の端子は第 2 の入力信号を受け、前記第 2 の端子は第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 3 のトランジスタの前記第 1 の端子は前記第 2 の入力信号を受け、前記第 2 の端子は前記第 1 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端

子は前記第 6 のトランジスタの前記第 2 の端子に接続され、

前記第 4 のトランジスタの前記第 1 の端子は前記第 1 の入力信号を受け、前記第 2 の端子は前記第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 6 のトランジスタの前記第 2 の端子に接続され、

前記第 5 のトランジスタの前記第 1 の端子は第 3 の入力信号を受け、前記第 3 の端子は第 1 のインピーダンス素子を介して第 2 の電位に接続され、

前記第 6 のトランジスタの前記第 1 の端子は第 4 の入力信号を受け、前記第 3 の端子は第 2 のインピーダンス素子を介して前記第 2 の電位に接続され、

前記可変インピーダンス回路は、

前記第 5 のトランジスタの前記第 3 の端子と前記第 6 のトランジスタの前記第 3 の端子との間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素を含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする乗算器。

【請求項 3】 等電位が与えられる第 1 および第 2 のノードと、

前記第 1 のノードと前記第 2 のノードとの間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素とを含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変インピーダンス回路。

【請求項 4】 第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続される第 2 の端子および第 1 のインピーダンス素子を介して第 2 の電位に接続される第 3 の端子を有する第 1 のトランジスタと、

第 2 の入力信号を受ける第 1 の端子、第 2 の負荷を介して前記第 1 の電位に接続される第 2 の端子および第 2 のインピーダンス素子を介して前記第 2 の電位に接続される第 3 の端子を有する第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に接続された可変インピーダンス回路とを備え、

前記可変インピーダンス回路は、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第

3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と

、
前記第1の可変インピーダンス素子と前記第2の可変インピーダンス素子との接続点と前記第2の電位との間に接続された抵抗要素とを含み、

前記第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変利得型差動増幅器。

【請求項5】 第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、

可変インピーダンス回路とを備え、

前記第1のトランジスタの前記第1の端子は第1の入力信号を受け、前記第2の端子は第1の負荷を介して第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第2のトランジスタの前記第1の端子は第2の入力信号を受け、前記第2の端子は第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第3のトランジスタの前記第1の端子は前記第2の入力信号を受け、前記第2の端子は前記第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第4のトランジスタの前記第1の端子は前記第1の入力信号を受け、前記第2の端子は前記第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第5のトランジスタの前記第1の端子は第3の入力信号を受け、前記第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、

前記第6のトランジスタの前記第1の端子は第4の入力信号を受け、前記第3の端子は第2のインピーダンス素子を介して前記第2の電位に接続され、

前記可変インピーダンス回路は、

前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と

、

前記第 1 の可変インピーダンス素子と前記第 2 の可変インピーダンス素子との接続点と前記第 2 の電位との間に接続された抵抗要素とを含み、

前記第 1 および第 2 の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする乗算器。

【請求項 6】 第 1、第 2、第 3、第 4 および第 5 のノードと、

前記第 1 のノードと前記第 2 のノードとの間に直列に接続された第 1 および第 2 の可変インピーダンス素子と、

前記第 1 のノードと前記第 3 のノードとの間に接続された第 1 の抵抗要素と、

前記第 2 のノードと前記第 4 のノードとの間に接続された第 2 の抵抗要素と、

前記第 1 の可変インピーダンス素子と前記第 2 の可変インピーダンス素子との接続点と前記第 5 のノードとの間に接続された第 3 の抵抗要素とを備え、

前記第 1、第 2、第 3、第 4 および第 5 のノードにそれぞれ第 1、第 2、第 3、第 4 および第 5 の電位が与えられ、

前記第 1 および第 2 の電位は等しく、

前記第 1 および第 2 の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変インピーダンス回路。

【請求項 7】 第 1 および第 2 の入力信号を受ける請求項 1 または 4 記載の差動増幅器と、

請求項 2 または 5 記載の乗算器とを備え、

前記差動増幅器の前記第 1 および第 2 のトランジスタの前記第 2 の端子の出力信号が前記乗算器の前記第 5 および第 6 のトランジスタの前記第 1 の端子に前記第 3 および第 4 の入力信号として与えられ、

前記差動増幅器の前記可変インピーダンス回路に第 1 の制御電圧が与えられ、前記乗算器の前記可変インピーダンス回路に第 2 の制御電圧が与えられることを特徴とする高周波回路。

【請求項 8】 差動増幅器と、

乗算器とを備え、

前記差動増幅器は、

第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続さ

れる第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、

第2の入力信号を受ける第1の端子、第2の負荷を介して前記第1の電位に接続される第2の端子および第2のインピーダンス素子を介して前記第2の電位に接続される第3の端子を有する第2のトランジスタと、

前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に接続され、第1の制御電圧に応じて変化するインピーダンスを有する第1の可変インピーダンス回路とを含み、

前記乗算器は、

第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、

第2の可変インピーダンス回路とを含み、

前記第1のトランジスタの前記第1の端子は第1の入力信号を受け、前記第2の端子は第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第2のトランジスタの前記第1の端子は第2の入力信号を受け、前記第2の端子は第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第3のトランジスタの前記第1の端子は前記第2の入力信号を受け、前記第2の端子は前記第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第4のトランジスタの前記第1の端子は前記第1の入力信号を受け、前記第2の端子は前記第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第5のトランジスタの前記第1の端子は第3の入力信号を受け、前記第3の端子は第1のインピーダンス素子を介して前記第2の電位に接続され、

前記第6のトランジスタの前記第1の端子は第4の入力信号を受け、前記第3の端子は第2のインピーダンス素子を介して前記第2の電位に接続され、

前記第2の可変インピーダンス回路は、前記第1のトランジスタの前記第3の

端子と前記第2のトランジスタの前記第3の端子との間に接続され、第2の制御電圧に応じて変化するインピーダンスを有し、

前記差動増幅器の前記第1および第2のトランジスタの前記第2の端子の出力信号が前記乗算器の前記第5および第6のトランジスタの前記第1の端子に前記第3および第4の入力信号として与えられることを特徴とする高周波回路。

【請求項9】 所定の周波数範囲の第1および第2の入力信号を受ける可変利得型差動増幅器と、

前記可変利得型差動増幅器の出力信号を受け、一定の周波数の第1および第2の出力信号を導出する可変利得型乗算器とを備え、

前記可変利得型差動増幅器および前記可変利得型乗算器の利得は共通の制御電圧により制御されることを特徴とする高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変インピーダンス回路、それを用いた可変利得型差動増幅器、それを乗算器およびそれらを用いた高周波回路に関する。

【0002】

【従来の技術】

従来より、可変利得型差動増幅器（可変利得機能付差動増幅回路）が用いられている。バイポーラトランジスタ、MOSFET（金属酸化物電界効果トランジスタ）等のSi（シリコン）デバイスを用いた集積回路では、可変利得型差動増幅器として、ギルバート型構成を有する増幅器およびOTA（オペレーショナルトランスコンダクタンス増幅器：operational transconductance amplifier）構成を有する増幅器が主流となっている。

【0003】

ギルバート型構成を有する増幅器は、広い可変利得範囲を有するが、消費電力や雑音特性の面で劣っている。そのため、移動体通信等では、一般的に、差動増幅器にFETスイッチ等からなる可変抵抗回路を設けたOTA構成が用いられる。

【0004】

図22はOTA構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【0005】

図22の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）101、102、抵抗103、104、105、106およびn-MOSFET（以下、FETと略記する）107により構成される。FET107が可変抵抗回路200を構成する。

【0006】

トランジスタ101のベースは入力信号RF in (+)を受ける入力端子NI1に接続され、トランジスタ102のベースは入力信号RF in (-)を受ける入力端子NI2に接続されている。入力信号RF in (+), RF in (-)は、差動入力である。トランジスタ101、102のコレクタは、それぞれ抵抗103、104を介して電源電圧Vccを受ける電源端子NVCに接続されている。トランジスタ101、102のエミッタは、それぞれ抵抗105、106を介して接地端子に接続されている。また、トランジスタ101、102のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RF out (+), RF out (-)が導出される。出力信号RF out (+), RF out (-)は差動出力である。

【0007】

トランジスタ101、102のエミッタに接続されるノードN1、N2間には、FET107が接続されている。FET107のゲートは、抵抗110を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0008】

図22の可変利得型差動増幅器では、FET107のゲートに制御電圧AGCを印加してFET107のソース・ドレイン間抵抗を変化させることにより、利得制御を行う。例えば、FET107をオン状態にすれば、最大利得および低雑音特性が得られる。この場合、微小な高周波信号の増幅に適している。また、FET107をオフ状態にすれば、減衰量が最大（最小利得）となり、歪み特性が

向上する。この場合、電界強度が高い状態での混変調に強くなる。

【0009】

ギルバート型乗算器においても、OTA構成を有する可変利得型差動増幅器と同様の構成が提案されている。

【0010】

図23は高周波受信機に用いられる従来の差動入出力高周波回路の構成を示す図である。

【0011】

図23の差動入出力高周波回路は、可変利得型増幅器610、乗算器620および可変利得型中間周波帯増幅器（以下、IF帯増幅器と呼ぶ）630により構成される。可変利得型増幅器610には差動信号が入力され、可変利得型IF帯増幅器630から増幅された差動信号が出力される。可変利得型増幅器610および可変利得型IF帯増幅器630には、利得を制御するための制御電圧AGCが与えられる。

【0012】

可変利得型増幅器610は可変利得機能を有する差動増幅器からなり、乗算器620は可変利得機能を有さないギルバート型乗算器からなり、IF帯増幅器630は可変利得機能を有する差動増幅器からなる。

【0013】

したがって、このような差動入出力高周波回路では、初段に用いる差動増幅器のダイナミックレンジが高周波受信機のダイナミックレンジに大きく影響することになる。この場合、ギルバート型乗算器が最適な動作状態とならず、ダイナミックレンジが小さくなる。

【0014】

そこで、高周波増幅器、ミキサおよび中間周波検波回路を有する受信装置において高周波増幅器およびミキサの利得を制御するAGC（自動利得制御）回路を設けることが提案されている（例えば、特許文献1参照）。

【0015】

【特許文献1】

特開平5-300039号公報

【0016】

【発明が解決しようとする課題】

しかしながら、図22に示した可変利得型差動増幅器においては、可変抵抗回路40がFETのピンチオフ電圧近傍の制御電圧の領域で強い非線形性を有している。それにより、特定の制御電圧の近傍で歪み特性が劣化する。したがって、連続的な利得制御を行う場合に、FETにおいて波形歪みが増大する制御電圧が与えられたときに可変利得型差動増幅器の歪み特性が劣化する。

【0017】

可変利得型差動増幅器において、歪み特性を改善するためにトランジスタ101、102のエミッタ抵抗を増加させることが考えられる。しかしながら、この場合、可変利得型差動増幅器の動作電流が利得の変化に応じて変化することになる。

【0018】

用途によっては、動作電流を変化させることなく可変利得型差動増幅器の歪みを改善することが望まれる場合がある。

【0019】

また、図22の可変利得型差動増幅器においては、入力電力レベルが一定の場合、高利得時には出力電力レベルが高くなり、入出力特性が飽和し易くなる。これは、可変利得型差動増幅器の動作電流が利得の変化に応じて変化しないからである。

【0020】

用途によっては、出力電力レベルに応じて動作電流を設定することにより入出力特性の飽和を抑制することが望まれる場合がある。

【0021】

さらに、図22の可変利得型差動増幅器を用いた従来の受信装置では、十分に高いダイナミックレンジが実現されていない。

可変インピーダンス回路、それを用いた可変利得型差動増幅器、それを乗算器およびそれらを用いた高周波回路

本発明の目的は、動作電流を変化させることなく低歪み化を実現することができる可変インピーダンス回路、それを用いた可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【0022】

本発明の他の目的は、入出力特性の飽和を抑制するとともに低歪み化を実現することができる可変インピーダンス回路、それを用いた可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【0023】

本発明のさらに他の目的は、十分に高いダイナミックレンジを実現することができるとともに低歪み化を実現することができる高周波回路を提供することである。

【0024】

なお、本発明において、乗算器には、混合器も含まれる。

【0025】

【課題を解決するための手段および発明の効果】

第1の発明に係る可変利得型差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素を含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0026】

本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。この場合、制御電圧に応

じて可変インピーダンス回路の可変インピーダンス素子のインピーダンスが変化し、可変利得型差動増幅器の利得が変化する。

【0027】

また、可変インピーダンス回路の第1および第2の抵抗要素により歪み特性が改善される。このとき、第1および第2のトランジスタに流れる動作電流は変化しない。したがって、動作電流を変化させることなく、低歪化を実現することができる。

【0028】

第2の発明に係る乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、可変インピーダンス回路は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素を含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0029】

本発明に係る乗算器においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3およ

び第4の入力信号が差動増幅され、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。この場合、制御電圧に応じて可変インピーダンス回路の可変インピーダンス素子のインピーダンスが変化し、乗算器の利得が変化する。

【0030】

また、可変インピーダンス回路の第1および第2の抵抗要素により歪み特性が改善される。このとき、第5および第6のトランジスタに流れる動作電流は変化しない。したがって、動作電流を変化させることなく低歪化を実現することができる。

【0031】

第3の発明に係る可変インピーダンス回路は、等電位が与えられる第1および第2のノードと、第1のノードと第2のノードとの間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素とを含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0032】

本発明に係る可変インピーダンス回路においては、制御電圧を変化させることにより、第1のノードと第2のノードとの間が等電位の状態で第1のノードと第2のノードとの間のインピーダンスを変化させることができる。この場合、第1のノードおよび第2のノードの電位が等しいので、第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素に電流が流れない。

【0033】

したがって、この可変インピーダンス回路を可変利得型増幅器または乗算器に用いた場合、消費電力を低減することができる。

【0034】

第4の発明に係る可変利得型差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に

接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第2の電位との間に接続された抵抗要素とを含み、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0035】

本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。この場合、制御電圧に応じて可変インピーダンス回路の第1および第2の可変インピーダンス素子のインピーダンスが変化し、可変利得型差動増幅器の利得が変化する。

【0036】

また、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0037】

第5の発明に係る乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は前記第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端

子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第2の電位との間に接続された抵抗要素とを含み、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0038】

本発明に係る乗算器においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3および第4の入力信号が差動増幅され、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。この場合、制御電圧に応じて可変インピーダンス回路の第1および第2の可変インピーダンス素子のインピーダンスが変化し、乗算器の利得が変化する。

【0039】

また、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0040】

第6の発明に係る可変インピーダンス回路は、第1、第2、第3、第4および第5のノードと、第1のノードと第2のノードとの間に直列に接続された第1および第2の可変インピーダンス素子と、第1のノードと第3のノードとの間に接続された第1の抵抗要素と、第2のノードと第4のノードとの間に接続された第2の抵抗要素と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第5のノードとの間に接続された第3の抵抗要素とを備え、第1、第2、第3、第4および第5のノードにそれぞれ第1、第2、第3、第4および第5の電位が与えられ、第1および第2の電位は等しく、第1および第2の可

変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0041】

本発明に係る可変インピーダンス回路においては、制御電圧に応じて第1、第2および第3の抵抗素子に流れる電流を変化させることができる。それにより、可変インピーダンス回路が可変電流源として働く。

【0042】

したがって、この可変インピーダンス回路を可変利得増幅回路または乗算器に用いた場合、利得の変化に応じて動作電流を変化させることができる。その結果、入出力特性の飽和を抑制し、低歪み化を実現することができる。

【0043】

第7の発明に係る可変インピーダンス回路は、第6の発明に係る可変インピーダンス回路の構成において、第3、第4および第5の電位は第1および第2の電位と異なり、第3、第4および第5の電位は等しいものである。

【0044】

この場合、第1の抵抗要素、第2の抵抗要素および第3の抵抗要素に流れる電流が等しくなる。

【0045】

第8の発明に係る高周波回路は、第1および第2の入力信号を受ける第1または第4の発明に係る差動増幅器と、第2または第5の発明に係る乗算器とを備え、差動増幅器の第1および第2のトランジスタの第2の端子の出力信号が乗算器の第5および第6のトランジスタの第1の端子に第3および第4の入力信号として与えられ、差動増幅器の可変インピーダンス回路に第1の制御電圧が与えられ、乗算器の可変インピーダンス回路に第2の制御電圧が与えられるものである。

【0046】

本発明に係る高周波回路において、第1の制御電圧を変化させることにより差動増幅器の利得を変化させることができ、第2の制御電圧を変化させることにより乗算器の利得を変化させることができる。この場合、差動増幅器および乗算器の利得範囲は、差動増幅器の利得範囲と乗算器の利得範囲との掛け合わされた範囲となる。

【0047】

入力電力レベルが低い場合には、可変インピーダンス回路のインピーダンスが最も低くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最大の利得および最小の雑音指数で動作する。したがって、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0048】

逆に、入力電力レベルが高い場合には、可変インピーダンス回路のインピーダンスが最も高くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最小の利得で動作する。したがって、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0049】

このように、差動増幅器および乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0050】

特に、第1または第4の発明に係る差動増幅器および第2または第5の発明に係る乗算器が用いられることにより、歪み特性が向上する。

【0051】

第9の発明に係る高周波回路は、差動増幅器と、乗算器とを備え、差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続され、第1の制御電圧に応じて変化するインピーダンスを有する第1の可変インピーダンス回路とを含み、乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、第2の可変インピーダンス回路とを含み、第1のトランジスタの第1の端

子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、第2の可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続され、第2の制御電圧に応じて変化するインピーダンスを有し、差動増幅器の第1および第2のトランジスタの第2の端子の出力信号が乗算器の第5および第6のトランジスタの第1の端子に第3および第4の入力信号として与えられるものである。

【0052】

本発明に係る高周波回路において、第1の制御電圧を変化させることにより差動増幅器の利得を変化させることができ、第2の制御電圧を変化させることにより乗算器の利得を変化させることができる。この場合、差動増幅器および乗算器の利得範囲は、差動増幅器の利得範囲と乗算器の利得範囲との掛け合わされた範囲となる。

【0053】

入力電力レベルが低い場合には、可変インピーダンス回路のインピーダンスが最も低くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最大の利得および最小の雑音指数で動作する。したがって、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0054】

逆に、入力電力レベルが高い場合には、可変インピーダンス回路のインピーダンスが最も高くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最小の利得で動作する。したがって、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0055】

このように、差動増幅器および乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0056】

第10の発明に係る高周波回路は、第8または第9の発明に係る高周波回路の構成において、第1および第2の制御電圧は共通の電圧であるものである。

【0057】

この場合、共通の電圧により差動増幅器および乗算器の両方の利得を制御することができる。

【0058】

第11の発明に係る高周波回路は、第8～第10のいずれかの発明に係る高周波回路の構成において、第1および第2の入力信号は所定の周波数範囲の信号であり、第1および第2の出力信号は一定の周波数の信号であるものである。

【0059】

この場合、所定の周波数範囲の第1および第2の入力信号を一定の周波数の第1および第2の出力信号に変換することができる。

【0060】

第12の発明に係る高周波回路は、第8～第11のいずれかの発明に係る高周波回路の構成において、差動増幅器は、第1または第4の発明に係る差動増幅器を含むものである。この場合、歪み特性が向上する。

【0061】

第13の発明に係る高周波回路は、第8～第12のいずれかの発明に係る高周波回路の構成において、乗算器は、第2または第5の発明に係る乗算器を含むものである。この場合、歪み特性が向上する。

【0062】

第14の発明に係る高周波回路は、所定の周波数範囲の第1および第2の入力信号を受ける可変利得型差動増幅器と、可変利得型差動増幅器の出力信号を受け、一定の周波数の第1および第2の出力信号を導出する可変利得型乗算器とを備え、可変利得型差動増幅器および可変利得型乗算器の利得は共通の制御電圧により制御されるものである。

【0063】

本発明に係る高周波回路において、所定の周波数範囲の第1および第2の入力信号を一定の周波数の第1および第2の出力信号に変換することができる。また、共通の制御電圧により可変利得型差動増幅器および可変利得型乗算器の利得が制御される。この場合、可変利得型差動増幅器および可変利得型乗算器の利得範囲は、可変利得差動増幅器の利得範囲と可変利得型乗算器の利得範囲との掛け合わされた範囲となる。

【0064】

入力電力レベルが低い場合には、可変利得型差動増幅器および可変利得型乗算器を同時に最大の利得および最小の雑音指数で動作させる。それにより、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0065】

逆に、入力電力レベルが高い場合には、可変利得型差動増幅器および可変利得型乗算器を同時に最小の利得で動作させる。それにより、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0066】

このように、可変利得型差動増幅器および可変利得型乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0067】**【発明の実施の形態】****(第1の実施の形態)**

図1は本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す

回路図である。

【0068】

図1の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）1, 2、抵抗3, 4, 5, 6, 10、シャント抵抗7, 8およびn-MOSFET（以下、FETと略記する）9により構成される。シャント抵抗7, 8およびFET9が可変抵抗回路20を構成する。抵抗3, 4, 5, 6は定電流源として働く。

【0069】

トランジスタ1のベースは入力信号 $RF_{in}(+)$ を受ける入力端子 $NI1$ に接続され、トランジスタ2のベースは入力信号 $RF_{in}(-)$ を受ける入力端子 $NI2$ に接続されている。入力信号 $RF_{in}(+)$, $RF_{in}(-)$ は、差動入力である。トランジスタ1, 2のコレクタは、それぞれ抵抗3, 4を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。トランジスタ1, 2のエミッタは、それぞれ抵抗5, 6を介して接地端子に接続されている。また、トランジスタ1, 2のコレクタは、それぞれ出力端子 $NO1$, $NO2$ に接続されている。出力端子 $NO1$, $NO2$ からそれぞれ出力信号 $RF_{out}(-)$, $RF_{out}(+)$ が導出される。出力信号 $RF_{out}(+)$, $RF_{out}(-)$ は差動出力である。

【0070】

トランジスタ1, 2のエミッタに接続されるノード $N1$, $N2$ 間には、シャント抵抗7、FET9およびシャント抵抗8が直列に接続されている。FET9のゲートは、抵抗10を介して制御電圧 AGC を受ける制御端子 NG に接続されている。

【0071】

抵抗3, 4は等しい抵抗値 R_c を有し、抵抗5, 6は等しい抵抗値 R_e を有し、シャント抵抗7, 8は等しい抵抗値 R_{sh} を有する。

【0072】

本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、抵抗7, 8が第1および第2の抵抗要素

に相当し、FET 9 が可変インピーダンス素子に相当する。また、抵抗 3 が第 1 の負荷に相当し、抵抗 4 が第 2 の負荷に相当し、抵抗 5 が第 1 のインピーダンス素子に相当し、抵抗 6 が第 2 のインピーダンス素子に相当する。さらに、可変抵抗回路 20 が可変インピーダンス回路に相当する。

【0073】

次に、図 2 (a), (b), (c) を用いて図 1 の可変利得型差動増幅器の動作を説明する。図 2 (a) は図 1 の可変利得型差動増幅器のトランジスタ 1 を含む片側半分を示し、図 2 (b) は図 1 の可変利得型差動増幅器のトランジスタ 1, 2、抵抗 5, 6 および模式化された可変抵抗回路 20 を示す。また、図 2 (c) は比較例の差動増幅器またはギルバート型乗算器における高い入力電力レベル時の相互変調歪みの改善方法を示す図である。

【0074】

図 2 (c) の示す比較例では、高い入力レベル時の相互変調歪みを改善するために、トランジスタ 1, 2 のエミッタとノード N1, N2 との間に抵抗 51, 61 を挿入することにより FET 9 での歪みを緩和している。

【0075】

しかしながら、比較例の構成では、抵抗 51, 61 に電圧降下が発生し、動作電流が変化してしまう。

【0076】

これに対して、図 1 の可変利得型差動増幅器では、以下に説明するように、可変利得制御回路として働く FET 9 の両端にシャント抵抗 7, 8 を接続することにより、動作電流を変化させることなく低歪み化を図ることができる。

【0077】

まず、図 2 (a) に基づいてバイアス電圧および動作電流の決定方法を説明する。ここで、電源電圧を V_{cc} とし、トランジスタ 1 のベース電圧を V_{bb} とし、コレクタ電圧を V_c とし、エミッタ電圧を V_e とし、ベース・エミッタ電圧を V_{be} とし、コレクタ・エミッタ電圧を V_{ce} とする。また、トランジスタ 1 のコレクタ抵抗 (抵抗 3 の抵抗値) を R_c とし、エミッタ抵抗 (抵抗 5 の抵抗値) を R_e とし、コレクタ電流を I_{cc} 、エミッタ電流を I_{ee} とすれば、次式 (1

) ~ (5) が成立する。

【0078】

$$V_{bb} = V_{be} + V_e = V_{be} + R_e \cdot I_{ee} \quad \cdots (1)$$

$$I_{ee} = (V_{bb} - V_{be}) / R_e \quad \cdots (2)$$

$$\begin{aligned} V_{cc} &= I_{cc} \cdot R_c + V_{ce} + V_e \\ &= I_{cc} \cdot R_c + V_{ce} + R_e \cdot I_{ee} \quad \cdots (3) \end{aligned}$$

$$I_{cc} \div I_{ee} \quad \cdots (4)$$

$$V_{cc} = I_{cc} \cdot (R_c + R_e) + V_{ce} \quad \cdots (5)$$

ここで、図2 (a) の回路では、動作電流はエミッタ電流 I_{ee} に等しい。上式 (2) からベース電圧 V_{be} およびエミッタ抵抗 R_e を決定すると、トランジスタ1の動作電流 I_{ee} が決まる。エミッタ抵抗 R_e が減少すると、動作電流 I_{ee} は増大することになる。

【0079】

図2 (b) において、可変抵抗回路20の抵抗値を r とする。ここで、ノード $N1$, $N2$ が同電位であれば、図2 (a) の動作電流 I_{ee} は次式 (6) のようになる。

【0080】

$$I_{ee} = 2 \cdot (V_{bb} - V_{be}) / R_e \quad \cdots (6)$$

上式 (6) から、図2 (b) の回路の動作電流 I_{ee} は可変抵抗回路20の抵抗値 r に依存せず、可変抵抗回路20の抵抗値 r が変化しても動作電流 I_{ee} は一定となる。

【0081】

したがって、図1の可変利得型差動増幅器では、動作電流 I_{ee} を変化させることなく低歪み化を図ることができる。

【0082】

ここで、図1の可変利得型差動増幅器のシミュレーションを行った。トランジスタ1, 2のエミッタ等のサイズとしては低雑音化に適した値を選択した。電源電圧 V_{cc} を3Vとし、総回路電流（動作電流）が5mAとなるように、抵抗3, 4の抵抗値 R_c を250Ωとし、抵抗5, 6の抵抗値 R_e を250Ωとし、シ

ャント抵抗 7, 8 の抵抗値 R_{sh} を 25Ω とした。また、利得制御のために制御端子 NG に $3V \sim 0V$ の範囲内の制御電圧 AGC を印加する。抵抗 5, 6 による電圧降下は約 $0.62V$ となり、シャント抵抗 7, 8 の抵抗値 R_{sh} を変更しても、総回路電流は変化しない。したがって、動作電流 I_{ee} を変化させることなく歪み特性を改善できることがわかった。

【0083】

(第 2 の実施の形態)

図 3 は本発明の第 2 の実施の形態におけるギルバート型乗算器 (混合器) の構成を示す回路図である。

【0084】

図 3 のギルバート型乗算器は、バイポーラトランジスタ (以下、トランジスタと略記する) 1, 2, 31, 32, 33, 34、抵抗 3, 4, 5, 6, 10、シャント抵抗 7, 8 および n -MOSFET (以下、FET と略記する) 9 により構成される。シャント抵抗 7, 8 および FET 9 が可変抵抗回路 20 を構成する。抵抗 3, 4, 5, 6 は定電流源として働く。

【0085】

トランジスタ 1 のベースは入力信号 $RF_{in}(+)$ を受ける入力端子 $NI1$ に接続され、トランジスタ 2 のベースは入力信号 $RF_{in}(-)$ を受ける入力端子 $NI2$ に接続されている。入力信号 $RF_{in}(+)$, $RF_{in}(-)$ は、差動入力である。トランジスタ 1 のコレクタと出力端子 $NO1$, $NO2$ との間にそれぞれトランジスタ 32, 31 が挿入されている。また、トランジスタ 2 のコレクタと出力端子 $NO1$, $NO2$ との間にそれぞれトランジスタ 34, 33 が挿入されている。トランジスタ 31, 34 のベースは入力信号 $LO_{in}(+)$ を受ける入力端子 $NI3$ に接続され、トランジスタ 32, 33 のベースは入力信号 $LO_{in}(-)$ を受ける入力端子 $NI4$ に接続されている。入力信号 $LO_{in}(+)$, $LO_{in}(-)$ は差動入力である。トランジスタ 31, 33 のコレクタは、抵抗 3 を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。また、トランジスタ 32, 34 のコレクタは、抵抗 4 を介して電源端子 NVC に接続されている。

【0086】

図3のギルバート型乗算器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0087】

本実施の形態では、トランジスタ31が第1のトランジスタに相当し、トランジスタ32が第2のトランジスタに相当し、トランジスタ33が第3のトランジスタに相当し、トランジスタ34が第4のトランジスタに相当し、トランジスタ1が第5のトランジスタに相当し、トランジスタ2が第6のトランジスタに相当する。シャント抵抗7, 8が第1および第2の抵抗要素に相当し、FET9が可変インピーダンス素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗5が第1のインピーダンス素子に相当し、抵抗6が第2のインピーダンス素子に相当する。さらに、可変抵抗回路20が可変インピーダンス回路に相当する。

【0088】

ここで、一方の差動入力信号を $RF = RF_{in}(+) - RF_{in}(-)$ とし、他方の差動入力信号を $LO = LO_{in}(+) - LO_{in}(-)$ とし、差動出力信号を $IF = IF_{out}(+) - IF_{out}(-)$ とする。また、差動入力信号 RF の周波数を f_{RF} とし、差動入力信号 LO の周波数を f_{LO} とし、差動出力信号 IF の周波数を f_{IF} とすると、次式が成立する。

【0089】

$$f_{IF} = f_{RF} \pm f_{LO}$$

例えば、差動入力信号 RF の周波数 f_{RF} を1.1GHzとし、差動入力信号 LO の周波数 f_{LO} を1GHzとすると、差動出力信号 IF の周波数 f_{IF} は2.1GHzおよび100MHzとなる。したがって、図3のギルバート型乗算器は、100MHzの周波数 f_{IF} を取り出すことにより、ダウンコンバータとして用いることができる。

【0090】

図3のギルバート型乗算器においても、図1の可変利得型差動増幅器と同様に、動作電流を変化させることなく歪み特性を改善することができる。

【0091】

ここで、図3のギルバート型乗算器における歪み特性を計算した。図4は図3のギルバート型乗算器における歪み特性のシャント抵抗7, 8の抵抗値 R_{sh} 依存性の計算結果を示す図である。ここでは、シャント抵抗7, 8の抵抗値 R_{sh} を変化させ、3次相互変調歪みを算出した。

【0092】

図4に示すように、シャント抵抗7, 8の抵抗値 R_{sh} の増加に伴って3次相互変調歪みが低減されることがわかる。この場合にも、上記のように、動作電流は変化しない。したがって、図3のギルバート型乗算器においても、動作電流を変化させることなく歪み特性を改善することができる。

【0093】

(可変抵抗回路の第1の例)

図5は図1の可変利得型差動増幅器および図3のギルバート型乗算器に用いられる可変抵抗回路20の回路図である。

【0094】

図5の可変抵抗回路20は、シャント抵抗7, 8、抵抗10およびFET9により構成される。シャント抵抗7、FET9およびシャント抵抗8は、ノードN1とノードN2との間に接続される。ノードN1, N2には同電位が与えられる。FET9のゲートは抵抗10を介して制御端子NGに接続されている。制御端子NGには制御電圧AGCが印加される。

【0095】

図5の可変抵抗回路20では、制御電圧AGCを変化させることにより、ノードN1, N2が同電位の状態でノードN1, N2間のインピーダンスを変化させることができる。この場合、ノードN1, N2の電位が等しいので、シャント抵抗7、FET9およびシャント抵抗8に電流が流れない。したがって、この可変抵抗回路20が付加される回路において、消費電力が増加しない。

【0096】

図5の可変抵抗回路20は、図1の可変利得型差動増幅器および図3のギルバート型乗算器に限らず、ノードN1, N2が同電位の状態でノードN1, N2間

のインピーダンスを変化させる場合に用いることができ、種々の回路に適用することができる。

【0097】

(第3の実施の形態)

図6は本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0098】

図6の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路20の代わりに可変抵抗回路30が設けられている点である。

【0099】

可変抵抗回路30は、FET11, 12および抵抗13, 15, 16により構成される。FET11, 12は、ノードN1とノードN2との間に直列に接続されている。FET11, 12のゲートは、それぞれ抵抗15, 16を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0100】

抵抗3, 4は等しい抵抗値 R_c を有し、抵抗5, 6は等しい抵抗値 R_e を有し、抵抗15, 16は等しい抵抗値 R_g を有する。

【0101】

図6の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0102】

本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、FET11が第1の可変インピーダンス素子に相当し、FET12が第2の可変インピーダンス素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗5が第1のインピーダンス素子に相当し、抵抗6が第2のインピーダンス素子に相当する。さらに、可変抵抗回路30が可変インピーダンス回路に相当する。

【0103】

次に、図7を用いて図6の可変利得型差動増幅器の動作を説明する。図7は図

6の可変利得型差動増幅器のトランジスタ1, 2、抵抗5, 6および模式化された可変抵抗回路30を示す図である。

【0104】

図6の可変利得型差動増幅器では、以下に説明するように、ノードN1, N2間に2つのFET11, 13を直列に接続し、2つのFET11, 13間のノードN3を抵抗13を介して接地端子に接続することにより、利得に応じた動作電流が流れることになる。

図7において、可変抵抗回路30のFET11, 12の抵抗値をそれぞれ r とし、抵抗13の抵抗値を R とする。FET11, 12に流れる電流を I_r とすると、抵抗13に流れる電流は $2I_r$ となる。ここで、ノードN1, N2が同電位であれば、図7の動作電流 $I_{ee'}$ は次式(7)のようになる。

【0105】

$$I_{ee'} = 2 \cdot (V_{bb} - V_{be}) / R_e + (V_{bb} - V_{be}) / \{ (R + (r/2)) \} \quad \dots (7)$$

上式(7)から、図7の回路の動作電流 $I_{ee'}$ は可変抵抗回路30のFET11, 12の抵抗値 r に依存して変化する。すなわち、可変抵抗回路30のFET11, 12の抵抗値 r が減少すると、利得が増大するとともに、動作電流 $I_{ee'}$ も増大することになる。

【0106】

それにより、図6の可変利得型差動増幅器は、高利得時には高電流で動作し、低利得時(減衰時)には低電流で動作することができる。したがって、出力電力レベルに応じた動作電流を設定することが可能となり、入出力特性の飽和を抑制することができる。

【0107】

ここで、図6の可変利得型差動増幅器における動作電流および入出力特性を計算した。

【0108】

トランジスタ1, 2のエミッタ等のサイズは低雑音化に適した値を選択した。電源電圧 V_{cc} を3Vであり、ベース・エミッタ間抵抗 V_{be} は約0.85Vで

ある。動作電流が約 5 mA（制御電圧 A G C が 0 V のとき）となるように、抵抗 3, 4 の抵抗値 R_c を 250 Ω とし、抵抗 5, 6 の抵抗値 R_e を 250 Ω とし、抵抗 13 の抵抗値 R を抵抗値 R_e の $1/4$ の 62.5 Ω とした。また、利得制御のために制御端子 N G に 3 V ~ 0 V の範囲内の制御電圧 A G C を印加する。

【0109】

図 8 は図 6 の可変利得型差動増幅器における動作電流の制御電圧 A G C 依存性の計算結果を示す図である。図 9 は実施例として図 6 の可変利得型差動増幅器における入出力特性の計算結果および比較例として図 22 の可変利得型差動増幅器における入出力特性の計算結果を示す図である。

【0110】

図 8 に示すように、図 6 の可変利得型差動増幅器では、制御電圧 A G C の変化に伴って動作電流が 2 倍程度変化していることがわかる。また、図 9 に示すように、実施例の可変利得型差動増幅器では、比較例の可変利得型差動増幅器に比べて高利得時の飽和が改善されていることがわかる。したがって、実施例の可変利得型差動増幅器では、入出力特性の線形性が高くなり、歪み特性が改善される。

【0111】

（第 4 の実施の形態）

図 10 は本発明の第 4 の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0112】

図 10 の可変利得型差動増幅器が図 6 の可変利得型差動増幅器と異なるのは、抵抗 3, 4 の代わりに負荷回路 50 が設けられ、トランジスタ 1, 2 の代わりに n-MOSFET 1a, 2a が設けられている点である。なお、図 10 では、抵抗 5, 6 の代わりに電流源 5a, 6a で表記しているが、電流源 5a, 6a としては高インピーダンスなトランジスタを用いればよい。負荷回路 50 としては、抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（例えば MOSFET、MESFET（金属半導体電界小型トランジスタ）またはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組合せた回路を用いることができる。

【0113】

図10の可変利得型差動増幅器の他の部分の構成は、図6の可変利得型差動増幅器の構成と同様である。

【0114】

本実施の形態に係る可変利得型差動増幅器においても、第3の実施の形態に係る可変利得型差動増幅器と同様に、高利得時には動作電流が増加し、低利得時（減衰時）には動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0115】

（第5の実施の形態）

図11は本発明の第5の実施の形態におけるギルバート型乗算器（混合器）の構成を示す回路図である。

【0116】

図11のギルバート型乗算器は、バイポーラトランジスタ（以下、トランジスタと略記する）1, 2, 31, 32, 33, 34、抵抗3, 4, 5, 6, 13, 15, 16およびn-MOSFET（以下、FETと略記する）11, 12により構成される。抵抗13, 15, 16およびFET11, 12が可変抵抗回路30を構成する。

【0117】

トランジスタ1のベースは入力信号RF in (+) を受ける入力端子NI 1に接続され、トランジスタ2のベースは入力信号RF in (-) を受ける入力端子NI 2に接続されている。入力信号RF in (+), RF in (-) は、差動入力である。トランジスタ1のコレクタと出力端子NO 1, NO 2との間にそれぞれトランジスタ31, 32が挿入されている。また、トランジスタ2のコレクタと出力端子NO 1, NO 2との間にそれぞれトランジスタ33, 34が挿入されている。トランジスタ31, 34のベースは入力信号LO in (+) を受ける入力端子NI 3に接続され、トランジスタ32, 33のベースは入力信号LO in (-) を受ける入力端子NI 4に接続されている。入力信号LO in (+), L

Oin (一) は差動入力である。トランジスタ 31, 33 のコレクタは、抵抗 3 を介して電源電圧 V_{cc} を受ける電源端子 NV C に接続されている。また、トランジスタ 32, 34 のコレクタは、抵抗 4 を介して電源端子 NV C に接続されている。

【0118】

図 11 のギルバート型乗算器の他の部分の構成は、図 6 の可変利得型差動増幅器の構成と同様である。

【0119】

本実施の形態では、トランジスタ 31 が第 1 のトランジスタに相当し、トランジスタ 32 が第 2 のトランジスタに相当し、トランジスタ 33 が第 3 のトランジスタに相当し、トランジスタ 34 が第 4 のトランジスタに相当し、トランジスタ 1 が第 5 のトランジスタに相当し、トランジスタ 2 が第 6 のトランジスタに相当する。また、抵抗 3 が第 1 の負荷に相当し、抵抗 4 が第 2 の負荷に相当し、抵抗 5 が第 1 のインピーダンス素子に相当し、抵抗 6 が第 2 のインピーダンス素子に相当する。さらに、可変抵抗回路 30 が可変インピーダンス回路に相当する。

【0120】

本実施の形態に係るギルバート型乗算器においても、第 4 の実施の形態に係る可変利得型差動増幅器と同様に、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0121】

（第 6 の実施の形態）

図 12 は本発明の第 6 の実施の形態におけるギルバート型乗算器（混合器）の構成を示す回路図である。

【0122】

図 12 のギルバート型乗算器が図 11 のギルバート型乗算器と異なるのは、トランジスタ 1, 2, 31, 32, 33, 34 の代わりに n-MOSFET 1a, 2a, 31a, 32a, 33a, 34a が用いられ、抵抗 3, 4 の代わりに負荷回路 50 が用いられ、抵抗 5, 6 の代わりに電流源となるインピーダンス素子 5

a, 6a が設けられ、抵抗 15, 16 の代わりに共通の抵抗 17 が用いられている点である。負荷回路 50 およびインピーダンス素子 5a, 6a は図 10 の負荷回路 50 およびインピーダンス素子 5a, 6a と同様である。

【0123】

本実施の形態に係るギルバート型乗算器においても、第 4 の実施の形態に係る可変利得型差動増幅器と同様に、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0124】

（可変抵抗回路の第 2 の例）

図 13 は図 6 および図 10 の可変利得型差動増幅器ならびに図 11 および図 12 のギルバート型乗算器に用いられる可変抵抗回路 30 の回路図である。

【0125】

図 13 の可変抵抗回路 30 は、FET 11, 12 および抵抗 13, 15, 16 により構成される。FET 11, 12 は、ノード N1 とノード N2 との間に直列に接続される。また、ノード N1 は抵抗 5 を介してノード N11 に接続され、ノード N2 は抵抗 6 を介してノード N12 に接続されている。FET 11, 12 間のノード N3 は抵抗 13 を介してノード N13 に接続されている。FET 11, 12 のゲートはそれぞれ抵抗 15, 16 を介して制御端子 NG に接続されている。

【0126】

ノード N1, N2 にはそれぞれ電圧 A, B が与えられる。ノード N11, N12 にはそれぞれ電圧 C, D が与えられ、ノード N13 には電圧 E が与えられる。制御端子 NG には制御電圧 AGC が印加される。電圧 A, B は等しく、電圧 C, D, E は等しくても異なってもよい。

【0127】

ここで、電圧 A, B が等しく、電圧 C, D が等しく、電圧 C, D, E が電圧 A, B と異なるとする。この場合、制御電圧 AGC に応じて抵抗 5, 6, 13 に流れる電流を変化させることができる。したがって、可変抵抗回路 30 を可変電流

源として用いることができる。特に、電圧 C, D, E が等しい場合には、抵抗 5, 6, 13 に流れる電流が等しくなる。

【0128】

図 13 の可変抵抗回路 30 は、図 6 の可変利得型差動増幅器および図 10 の可変利得型差動増幅器ならびに図 11 および図 12 のギルバート型乗算器に限らず、可変電流源として種々の回路に適用することができる。

【0129】

(第 7 の実施の形態)

図 14 は第 7 の実施の形態における差動入出力高周波回路の構成を示す図である。図 14 の差動入出力高周波回路は高周波受信機に用いられる。

【0130】

図 14 の差動入出力高周波回路は、可変利得型増幅器 510、可変利得型乗算器 520 および中間周波帯増幅器（以下、IF 帯増幅器と呼ぶ）530 により構成される。可変利得型増幅器 510 には差動信号が入力され、IF 帯増幅器 530 から増幅された差動信号が出力される。可変利得型増幅器 510 および可変利得型乗算器 520 には、それぞれ利得を制御するための制御電圧 AGC1, AGC2 が与えられる。なお、制御電圧 AGC1, AGC2 は共通の制御電圧であってもよい。この場合、共通の制御電圧により可変利得型増幅器 510 および可変利得型乗算器 520 の両方の利得を制御することができる。

【0131】

可変利得型増幅器 510 は可変利得機能を有する可変利得型差動増幅器からなり、可変利得型乗算器 520 は可変利得機能を有するギルバート型乗算器からなり、IF 帯増幅器 530 は可変利得機能を有さない差動増幅器からなる。

【0132】

図 14 の差動入出力高周波回路においては、可変利得型増幅器 510 には広い周波数範囲の高周波信号が入力され、可変利得型乗算器 520 から一定の中間周波数信号が出力される。それにより、IF 帯増幅器 530 に入力される信号の周波数が一定となる。

【0133】

図 15 は図 14 の差動入出力高周波回路の可変利得型増幅器 510 および可変利得型乗算器 520 の具体的な回路構成を示す回路図である。

【0134】

図 15 の差動入出力高周波回路においては、可変利得型増幅器 510 は可変利得型差動増幅器からなり、可変利得型乗算器 520 はギルバート型乗算器からなる。

【0135】

可変利得型増幅器 510 は、トランジスタ 1, 2、抵抗 3, 4, 5, 6、および可変抵抗回路 800 を備える。

【0136】

可変利得型乗算器 520 は、トランジスタ 1, 2, 31, 32, 33, 34、抵抗 3, 4, 5, 6、および可変抵抗回路 800 を備える。

【0137】

可変利得型増幅器 510 において、トランジスタ 1, 2 のベースは、それぞれ入力信号 $RFin(+)$, $RFin(-)$ を受ける。また、トランジスタ 1, 2 のベースは、それぞれ抵抗 21, 22 を介してバイアス電圧 Vb を受ける。トランジスタ 1, 2 のコレクタは、それぞれ抵抗 3, 4 を介して電源電圧 Vcc を受ける。トランジスタ 1, 2 のエミッタは、それぞれ抵抗 5, 6 を介して接地端子に接続されている。トランジスタ 1, 2 のエミッタに接続されるノード N1, N2 間に可変抵抗回路 800 が接続されている。トランジスタ 1, 2 のコレクタは、それぞれ段間コンデンサ C1, C2 を介して可変利得型乗算器 520 のトランジスタ 1, 2 のベースに接続されている。

【0138】

可変利得型乗算器 520 において、トランジスタ 31, 34 のベースは入力信号 $LOin(+)$ を受け、トランジスタ 32, 33 のベースは入力信号 $LOin(-)$ を受ける。また、トランジスタ 31, 34 のベースは抵抗 23 を介してバイアス電圧 Vb を受け、トランジスタ 32, 33 のベースは抵抗 24 を介してバイアス電圧 Vb を受ける。

【0139】

トランジスタ 31, 33 のコレクタは、抵抗 3 を介して電源電圧 V_{cc} を受け、トランジスタ 32, 34 のコレクタは、抵抗 4 を介して電源電圧 V_{cc} を受ける。また、トランジスタ 31, 33 のコレクタからそれぞれ出力信号 $I_{Fout}(+)$ が導出され、トランジスタ 32, 34 のコレクタから出力信号 $I_{Fout}(-)$ が導出される。

【0140】

トランジスタ 31, 32 のエミッタはトランジスタ 1 のコレクタに接続され、トランジスタ 33, 34 のエミッタはトランジスタ 2 のコレクタに接続される。
トランジスタ 1, 2 のエミッタに接続されるノード N1, N2 間に可変抵抗回路 800 が接続されている。

【0141】

可変利得型増幅器 510 の可変抵抗回路 800 および可変利得型乗算器 520 の可変抵抗回路 800 には、それぞれ抵抗を介して制御電圧 $AGC1$, $AGC2$ が与えられる。制御電圧 $AGC1$, $AGC2$ は共通の制御電圧であってもよい。

【0142】

可変利得型増幅器 510 の可変抵抗回路 800 としては、図 1 の可変抵抗回路 20、図 6 の可変抵抗回路 30、図 23 の可変抵抗回路 40 または後述する可変抵抗回路 70 を用いることができる。また、可変利得型乗算器 520 の可変抵抗回路 800 としては、図 1 の可変抵抗回路 20、図 6 の可変抵抗回路 30、図 23 の可変抵抗回路 40 または後述する可変抵抗回路 70 を用いることができる。

【0143】

図 15 の差動入出力高周波回路において、入力電力レベルが低い場合には、可変抵抗回路 800 の抵抗値が最も低くなるように制御電圧 $AGC1$, $AGC2$ を印加する。このとき、可変利得型増幅器 510 および可変利得型乗算器 520 は、同時に最大の利得および最小の雑音指数で動作する。したがって、この差動入出力高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0144】

逆に、入力電力レベルが高い場合には、可変抵抗回路 800 の抵抗値が最も高くなるように制御電圧 $AGC1$, $AGC2$ を印加する。このとき、可変利得型増

幅器 510 および可変利得型乗算器 520 は、同時に最小の利得で動作する。したがって、この差動入出力高周波回路では、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0145】

可変利得型増幅器 510 および可変利得型乗算器 520 の利得範囲は、可変利得型増幅器 510 の利得範囲と可変利得型乗算器 520 の利得範囲との掛け合わされた範囲となる。

【0146】

このように、可変利得型増幅器 510 および可変利得型乗算器 520 の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0147】

図 16 は図 15 の可変利得型増幅器 510 および可変利得型乗算器 520 の第 1 の具体例を示す回路図である。

【0148】

図 16 の例では、可変利得型増幅器 510 の可変抵抗回路 800 として可変抵抗回路 40 が用いられ、可変利得型乗算器 520 の可変抵抗回路 800 として可変抵抗回路 20 が用いられている。

【0149】

この場合、可変利得型乗算器 520 において、動作電流を変化させることなく歪み特性を改善することができる。したがって、可変利得型乗算器 520 において消費電力を増加させることなく低歪み化を図ることができる。

【0150】

図 17 は図 15 の可変利得型増幅器 510 および可変利得型乗算器 520 の第 2 の具体例を示す回路図である。

【0151】

図 17 の例では、可変利得型増幅器 510 の可変抵抗回路 800 として可変抵抗回路 20 が用いられ、可変利得型乗算器 520 の可変抵抗回路 800 として可変抵抗回路 20 が用いられている。

【0152】

この場合、可変利得型増幅器 510 および可変利得型乗算器 520 において、動作電流を変化させることなく歪み特性を改善することができる。したがって、消費電力を増加させることなく十分に低歪み化を図ることができる。

【0153】

図 17 の差動入出力高周波回路のシミュレーションを行った。トランジスタ 1, 2 のエミッタ等のサイズは低雑音化に適した値を選択した。電源電圧 V_{cc} は 3 V である。可変利得型増幅器 510 では、動作電流が 5 mA となるように抵抗 3, 4 の抵抗値をそれぞれ 250 Ω とし、抵抗 5, 6 の抵抗値をそれぞれ 250 Ω とし、可変抵抗回路 20 のシャント抵抗 7, 8 の抵抗値を 25 Ω とした。可変利得型乗算器では、動作電流が 4 mA となるように抵抗 3, 4 の抵抗値を 250 Ω とし、抵抗 5, 6 の抵抗値を 250 Ω とし、可変抵抗回路 20 のシャント抵抗 7, 8 の抵抗値を 25 Ω とした。可変利得型増幅器 510 の可変抵抗回路 20 およびは可変利得型乗算器 520 の可変抵抗回路 20 の FET 9 のゲートには 5 k Ω 程度の高抵抗値を有する抵抗 10 を介して共通の制御電圧 AGC1, AGC2 を印加する。

【0154】

ここでは、電源電圧 V_{cc} が 3 V であるので、最大利得時には、制御電圧 AGC を 3 V とし、最小利得時（最大減衰時）には、制御電圧 AGC1, AGC2 を 0 V とする。

【0155】

入力電力レベルが変化した場合、想定する最小の入力電力レベル時に可変利得型増幅器 510 および可変利得型乗算器 520 が最大の利得および最小の雑音指数で動作し、そのときの差動中間周波信号（出力信号 IFout (+), IFout (-)）のレベルを維持するように、制御電圧 AGC を変化させる。

【0156】

それにより、可変利得型増幅器 510 および可変利得型乗算器 520 の利得が同時に制御され、可変利得型増幅器 510 の可変利得範囲と可変利得型乗算器 520 の可変利得範囲とが掛け合わされる。したがって、高いダイナミックレンジ

を有する高周波受信機を実現することができる。

【0157】

図18は図15の可変利得型増幅器510および可変利得型乗算器520の第3の具体例を示す回路図である。

【0158】

図18の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路30が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路30が用いられている。

【0159】

この場合、可変利得型増幅器510および可変利得型乗算器520において、高利得時の入出力特性の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。したがって、ダイナミックレンジが大きく改善されるとともに低歪み化が図られる。

【0160】

図19は図15の可変利得型増幅器510および可変利得型乗算器520の第4の具体例を示す回路図である。

【0161】

図19の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路30が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路20が用いられている。

【0162】

この場合、可変利得型増幅器510において、高利得時の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。また、可変利得型乗算器520において、動作電流を変化させることなく歪み特性を改善することができる。したがって、ダイナミックレンジが改善されるとともに低歪み化が図られる。

【0163】

図20は図15の可変利得型増幅器510および可変利得型乗算器520の第5の具体例を示す回路図である。

【0164】

図20の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路20が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路30が用いられている。

【0165】

この場合、可変利得型増幅器510において、動作電流を変化させることなく歪み特性を改善することができる。また、可変利得型乗算器520において、高利得時の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。したがって、ダイナミックレンジが改善されるとともに低歪み化が図られる。

【0166】

図21は図15の可変利得型増幅器510および可変利得型乗算器520の第6の具体例を示す回路図である。

【0167】

図21の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路70が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路20が用いられている。

【0168】

ここで、可変抵抗回路70は、FET71、72および抵抗701、702、711、712を含む。トランジスタ1のエミッタは抵抗701、702を介して接地端子に接続されている。トランジスタ2のエミッタは711、712を介して接地端子に接続されている。FET71はトランジスタ1、2のエミッタ間に接続されている。FET72は抵抗701、702間のノードと抵抗711、712間のノードとの間に接続されている。FET71、72のゲートにはそれぞれ81、82を介して制御電圧AGC1が与えられる。

【0169】

可変利得型増幅器510においては、FET71、72のゲートに共通の制御電圧AGC1が与えられるので、FET71のゲート・ソース電圧およびゲート・ドレイン電圧は、FET72のゲート・ソース電圧およびゲート・ドレイン電

圧と異なる。これは、FET 71, 72 のゲートに異なる制御電圧を与えることに等しい。したがって、FET 71 に非線形性が最も高くなる制御電圧が印加されているときに、FET 72 には非線形性が低くなる制御電圧が印加されることになる。逆に、FET 72 に非線形性が最も高くなる制御電圧が印加されているときに、FET 71 に線形性が低くなる制御電圧が印加されることになる。その結果、制御電圧 AGC1 を変化させて連続的な利得制御を行う場合に、特定の制御電圧 AGC1 での可変利得型差動増幅器の歪み特性の急激な劣化が抑制される。それにより、歪みが一定レベル以下に抑制される。

【0170】

したがって、図 21 の例では、歪みが一定レベル以下に抑制されるとともにダイナミックレンジが改善される。

【0171】

(他の変形例)

なお、上記第 1 ～ 第 7 の実施の形態において、第 1 ～ 第 6 のトランジスタとして MOSFET、MESFET 等の他のトランジスタを用いてもよい。

【0172】

また、上記第 1 ～ 第 7 の実施の形態において、第 1 および第 2 の負荷として他の抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（例えば MOSFET、MESFET またはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組み合わせた回路を用いてもよい。

【0173】

さらに、上記第 1 ～ 第 7 の実施の形態において、第 1 および第 2 のインピーダンス素子として他の抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（MOSFET、MESFET またはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組み合わせた回路を用いてもよい。

【0174】

また、上記第 1 ～ 第 7 の実施の形態において、可変インピーダンス素子として

p-MOSFET、バイポーラトランジスタ等の他のトランジスタを用いてよく、あるいは制御電圧に応じて変化するインピーダンスを有する他の可変インピーダンス素子を用いてもよい。

【0175】

さらに、上記第1、第2および第7の実施の形態において、第1および第2の抵抗要素として抵抗成分を有する他の素子を用いてもよく、あるいは抵抗成分を有する複数の素子を組み合わせた回路を用いてもよい。

【0176】

また、上記第3～第7の実施の形態において、抵抗要素として抵抗低分を有する他の素子を用いてもよく、あるいは抵抗成分を有する複数の素子を組み合わせた回路を用いてもよい。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図2】

図1の可変利得型差動増幅器の動作を示す図である。

【図3】

本発明の第2の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図4】

図3のギルバート型乗算器における歪み特性のシャント抵抗の抵抗値依存性の計算結果を示す図である。

【図5】

図1の可変利得型差動増幅器および図3のギルバート型乗算器に用いられる可変抵抗回路の回路図である。

【図6】

本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図 7】

図 6 の可変利得型差動増幅器のトランジスタ、抵抗および模式化された可変抵抗回路を示す図である。

【図 8】

図 6 の可変利得型差動増幅器における動作電流の制御電圧依存性の計算結果を示す図である。

【図 9】

実施例として図 6 の可変利得型差動増幅器における入出力特性の計算結果および比較例として図 22 の可変利得型差動増幅器における入出力特性の計算結果を示す図である。

【図 10】

本発明の第 4 の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図 11】

本発明の第 5 の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図 12】

本発明の第 6 の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図 13】

図 6 および図 10 の可変利得型差動増幅器ならびに図 11 および図 12 のギルバート型乗算器に用いられる可変抵抗回路の回路図である。

【図 14】

第 7 の実施の形態における差動入出力高周波回路の構成を示す図である。

【図 15】

図 14 の差動入出力高周波回路の可変利得型増幅器および可変利得型乗算器の具体的な回路構成を示す回路図である。

【図 16】

図 15 の可変利得型増幅器および可変利得型乗算器の第 1 の具体例を示す回路

図である。

【図 17】

図 15 の可変利得型増幅器および可変利得型乗算器の第 2 の具体例を示す回路図である。

【図 18】

図 15 の可変利得型増幅器および可変利得型乗算器の第 3 の具体例を示す回路図である。

【図 19】

図 15 の可変利得型増幅器および可変利得型乗算器の第 4 の具体例を示す回路図である。

【図 20】

図 15 の可変利得型増幅器および可変利得型乗算器の第 5 の具体例を示す回路図である。

【図 21】

図 15 の可変利得型増幅器および可変利得型乗算器の第 6 の具体例を示す回路図である。

【図 22】

OTA 構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【図 23】

高周波受信機に用いられる従来の差動入出力高周波回路の構成を示す図である。

【符号の説明】

1, 2, 31, 32, 33, 34 トランジスタ

3, 4, 5, 6, 10, 13, 15, 16, 17, 21, 22, 23, 24

抵抗

1a, 2a, 9, 11, 12, 31a, 32a, 33a, 34a FET

C1, C2 コンデンサ

20, 30, 40, 70, 800 可変抵抗回路

510 可変利得型増幅器

520 可変利得型乗算器

530 中間周波帯増幅器

N1, N2, N3, N11, N12, N13 ノード

NI1, NI2, NI3, NI4 入力端子

NO1, NO2 出力端子

NG 制御端子

NVC 電源端子

RFin (+), RFin (-), LOin (+), LOin (-) 入力信号

RFout (+), RFout (-), IFout (+), IFout (-)
出力信号

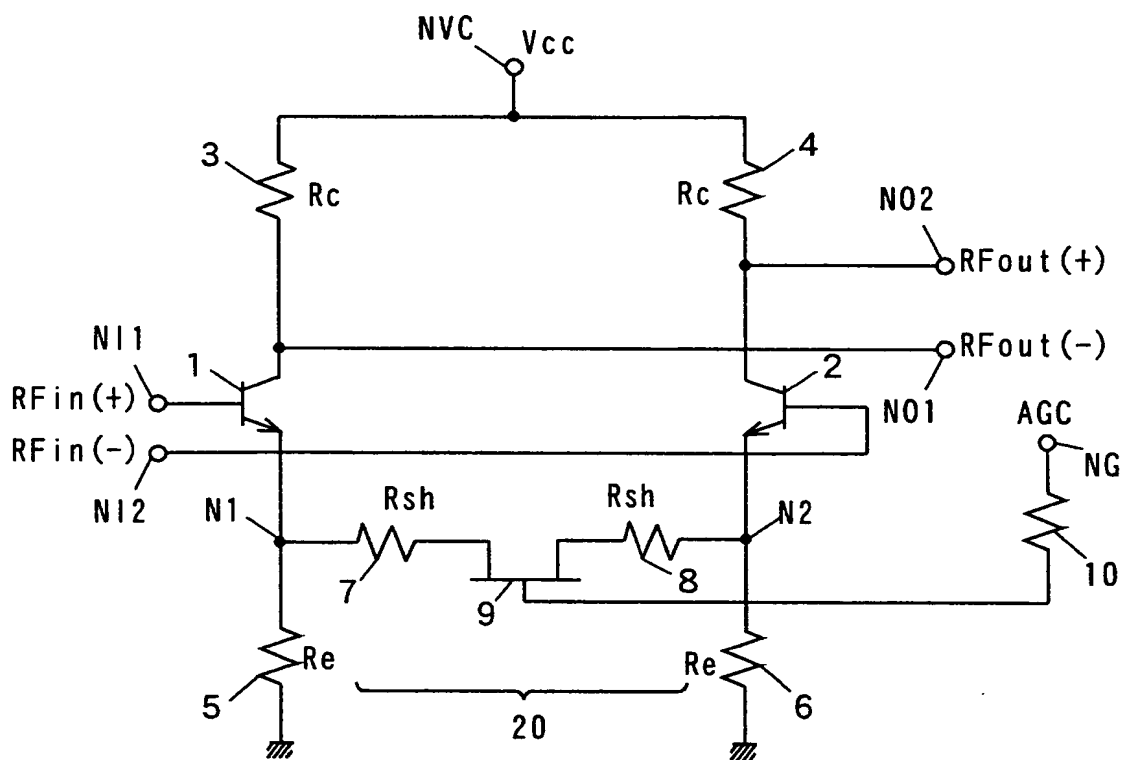
Vcc 電源電圧

AGC, AGC1, AGC2 制御電圧

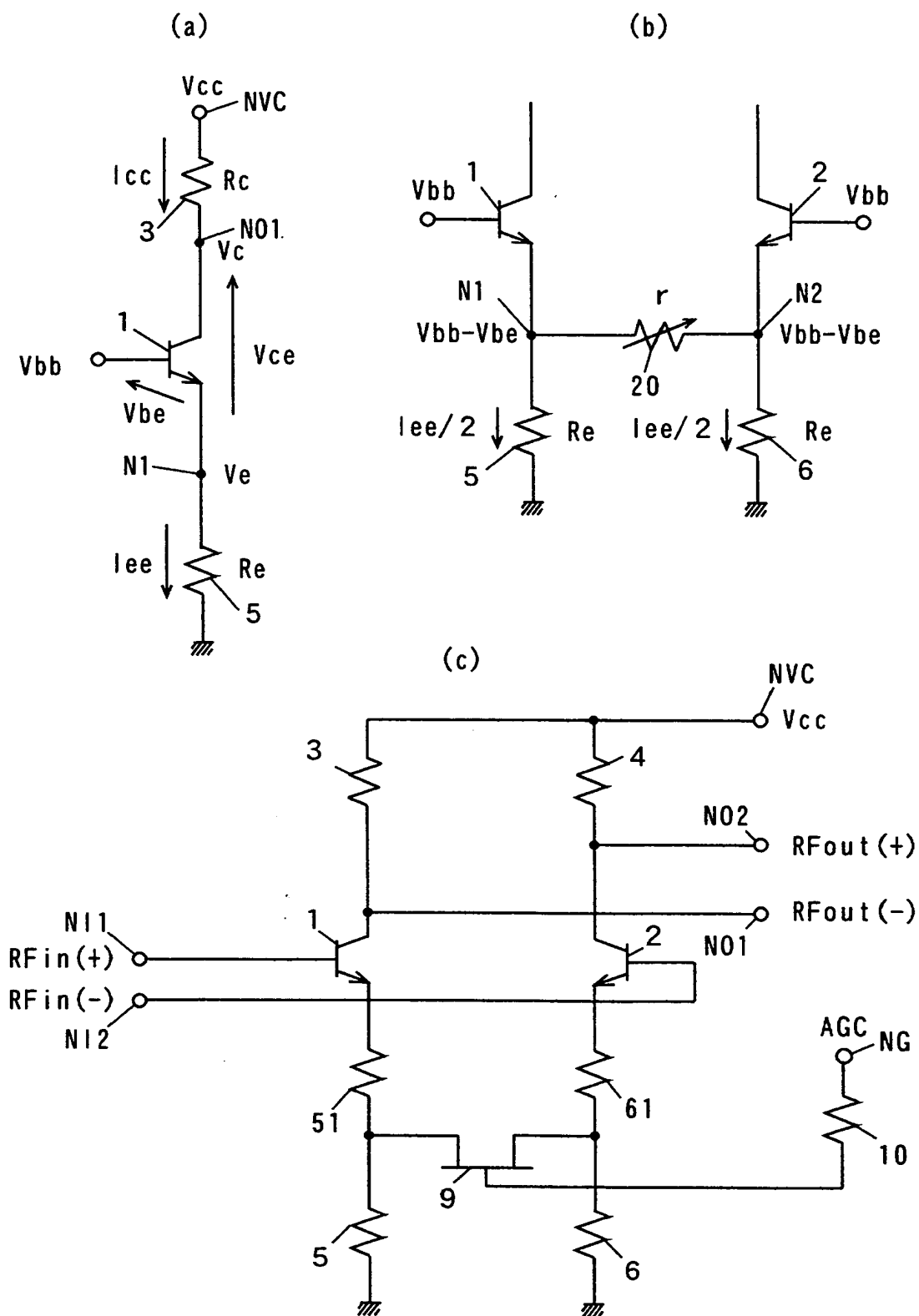
Vb バイアス電圧

【書類名】 図面

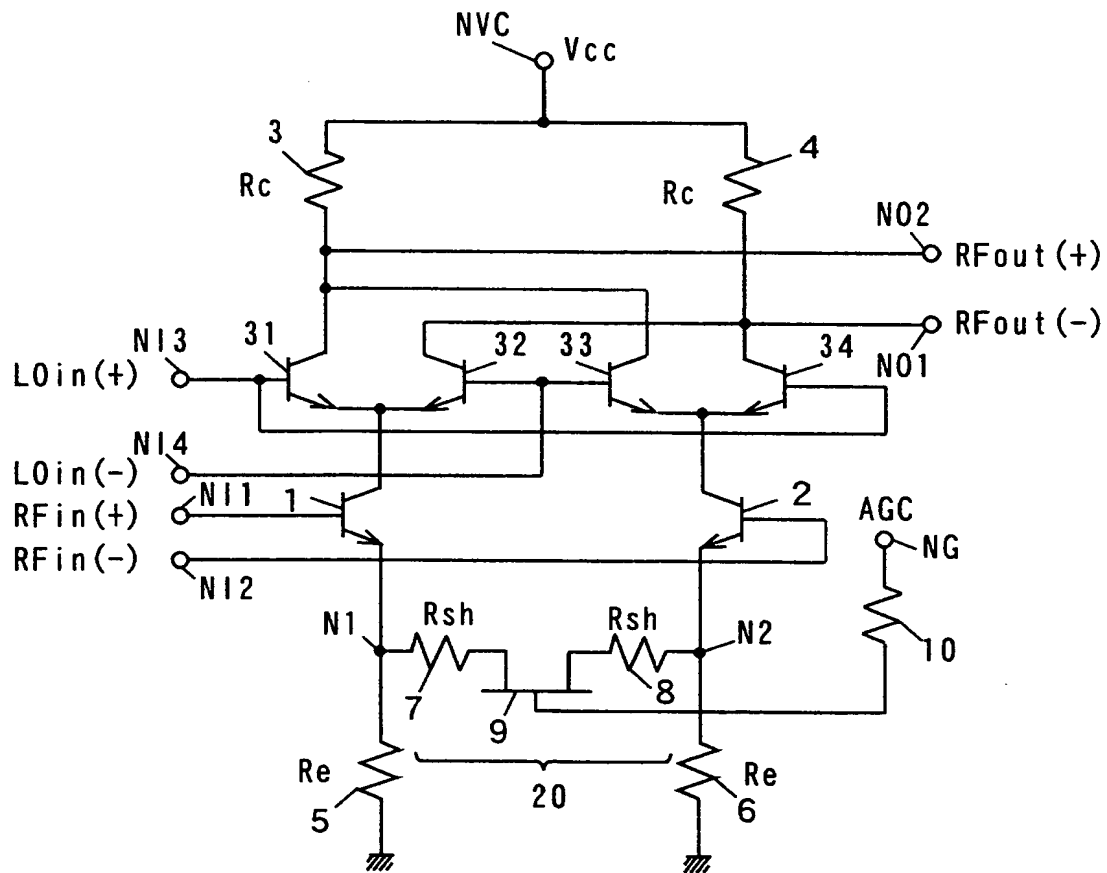
【図 1】



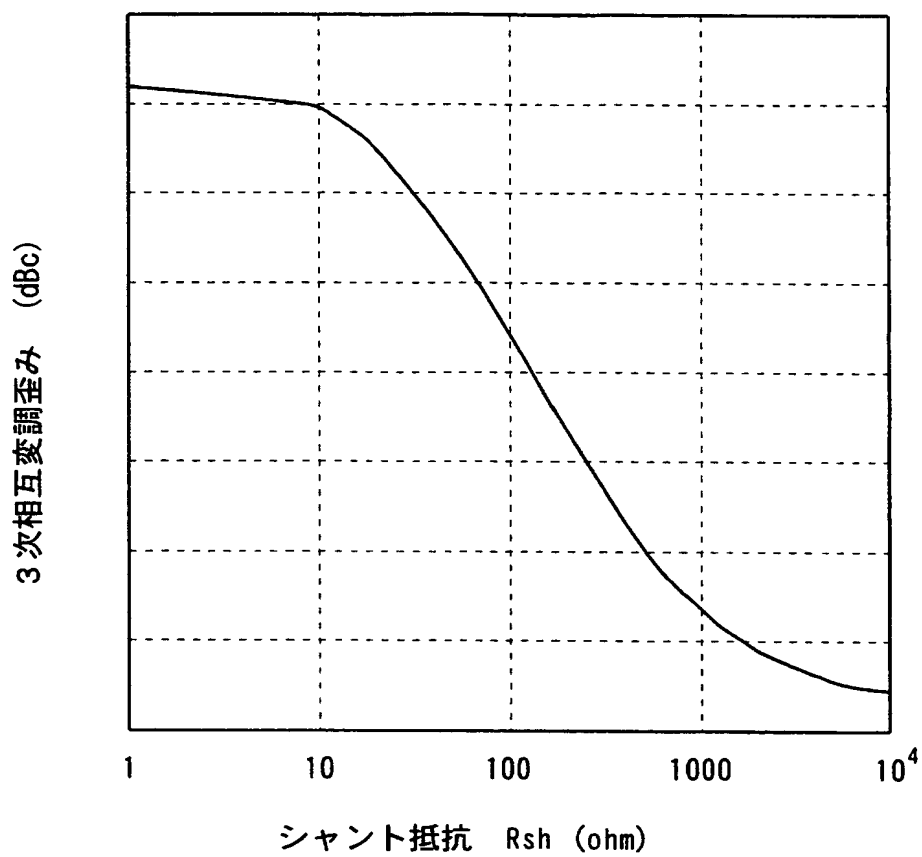
【図 2】



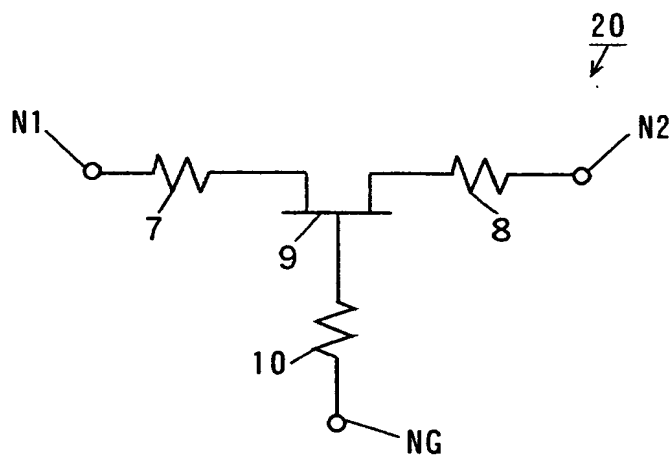
【図 3】



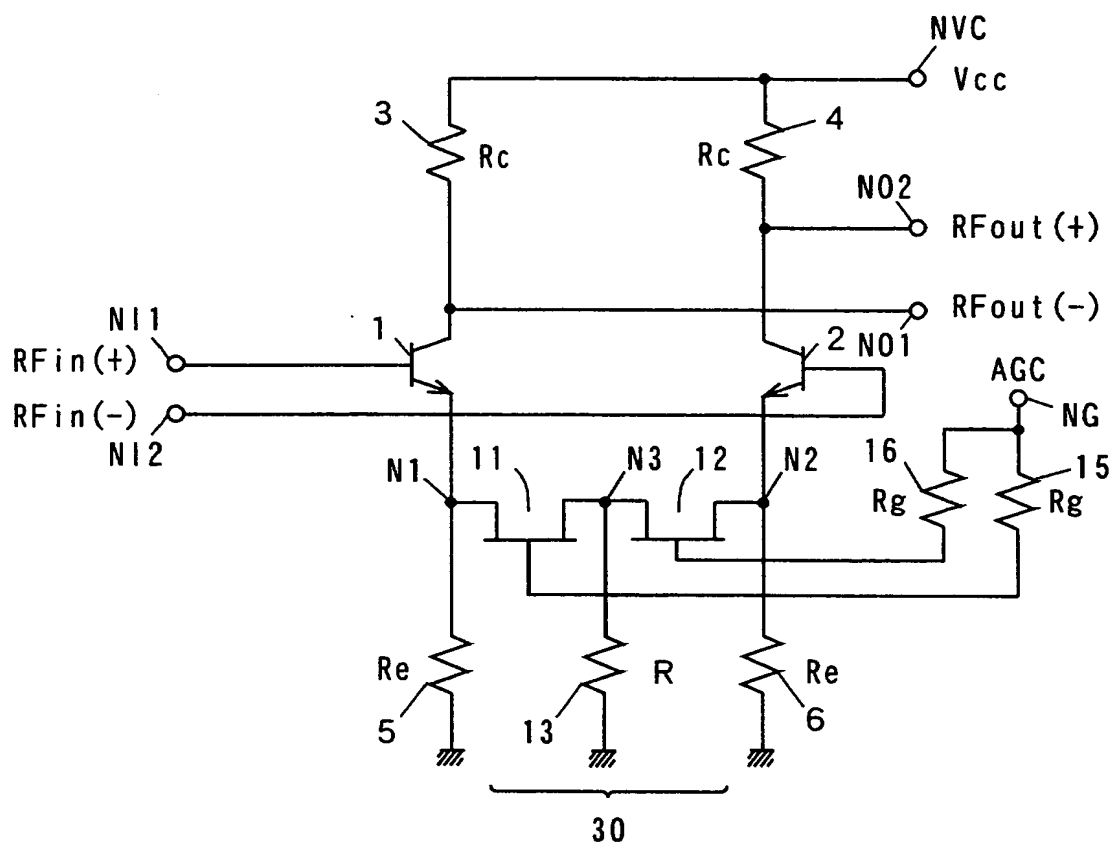
【図 4】



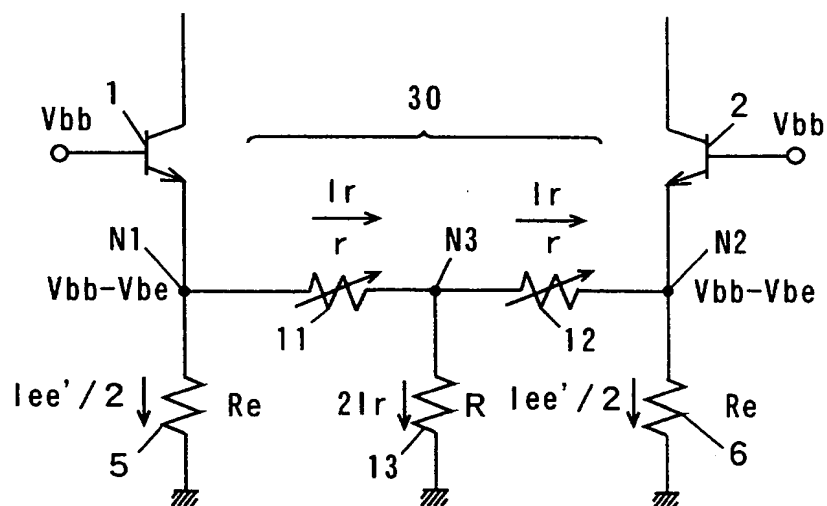
【図 5】



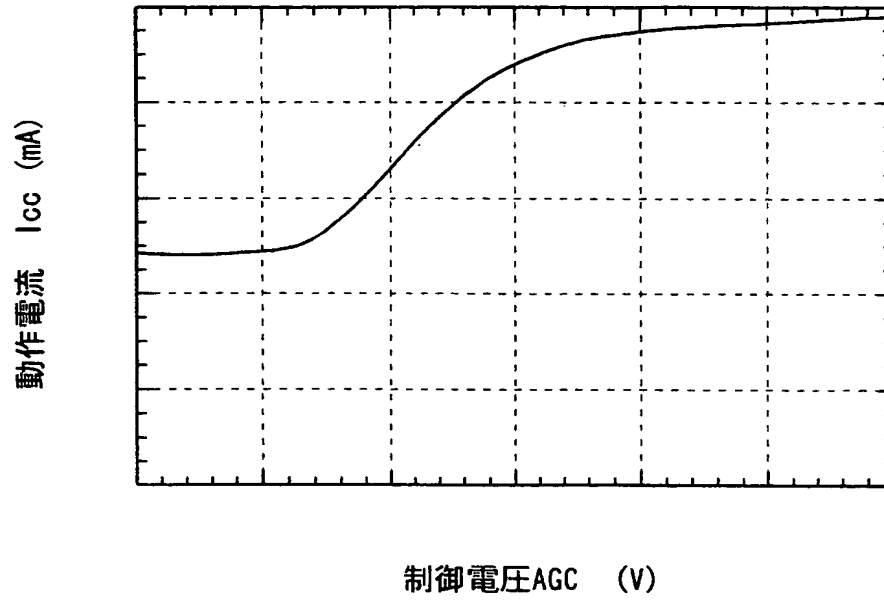
【図 6】



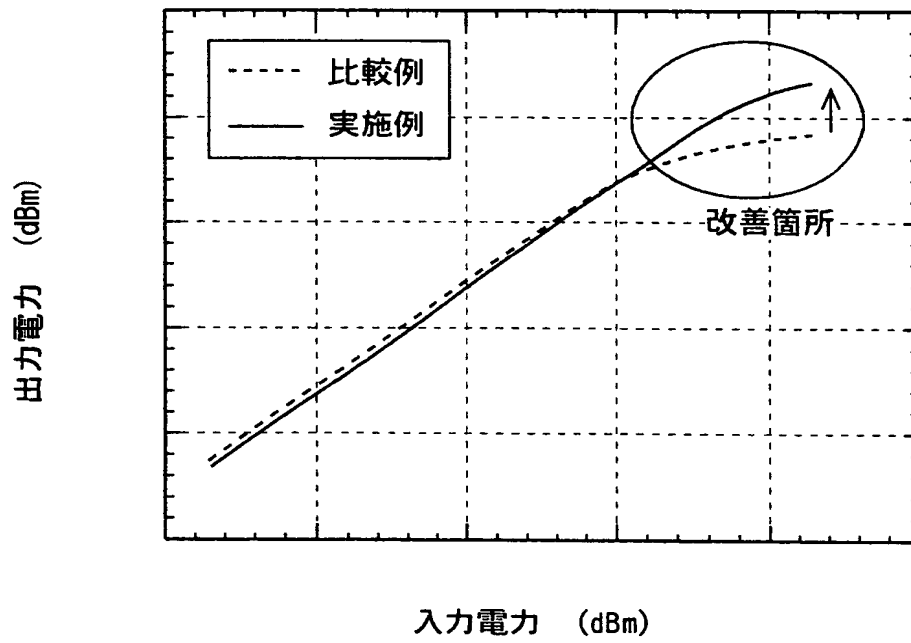
【図 7】



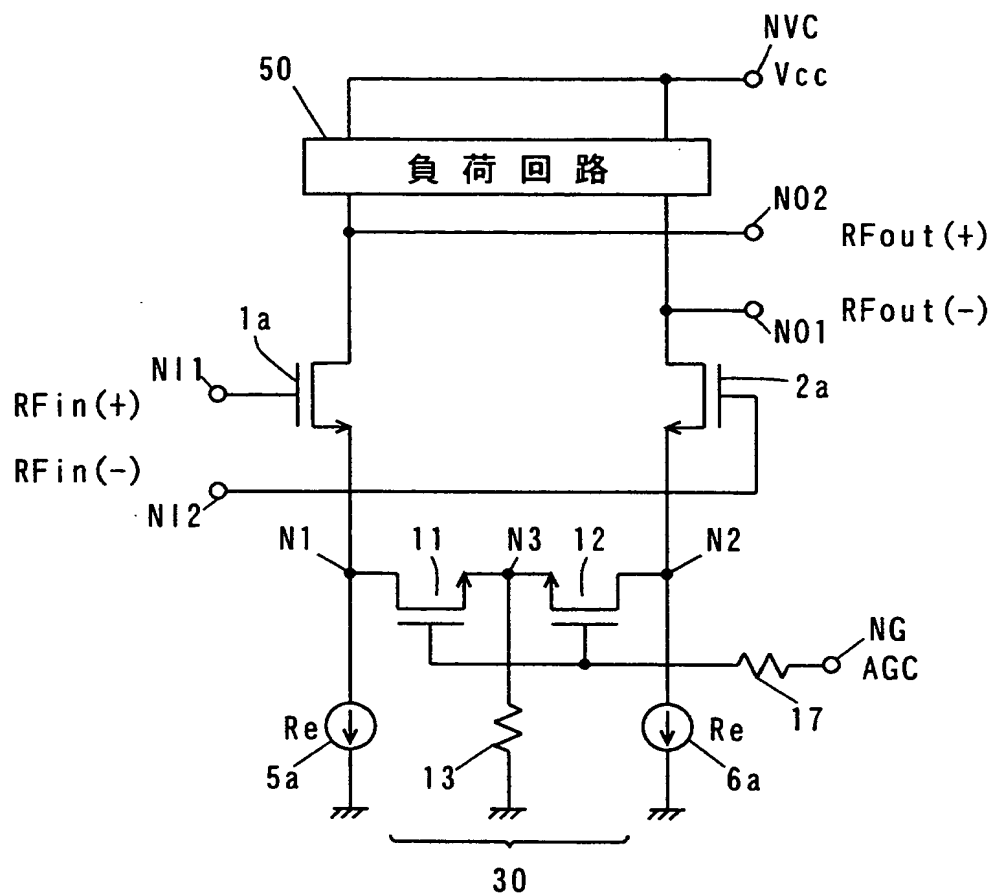
【図 8】



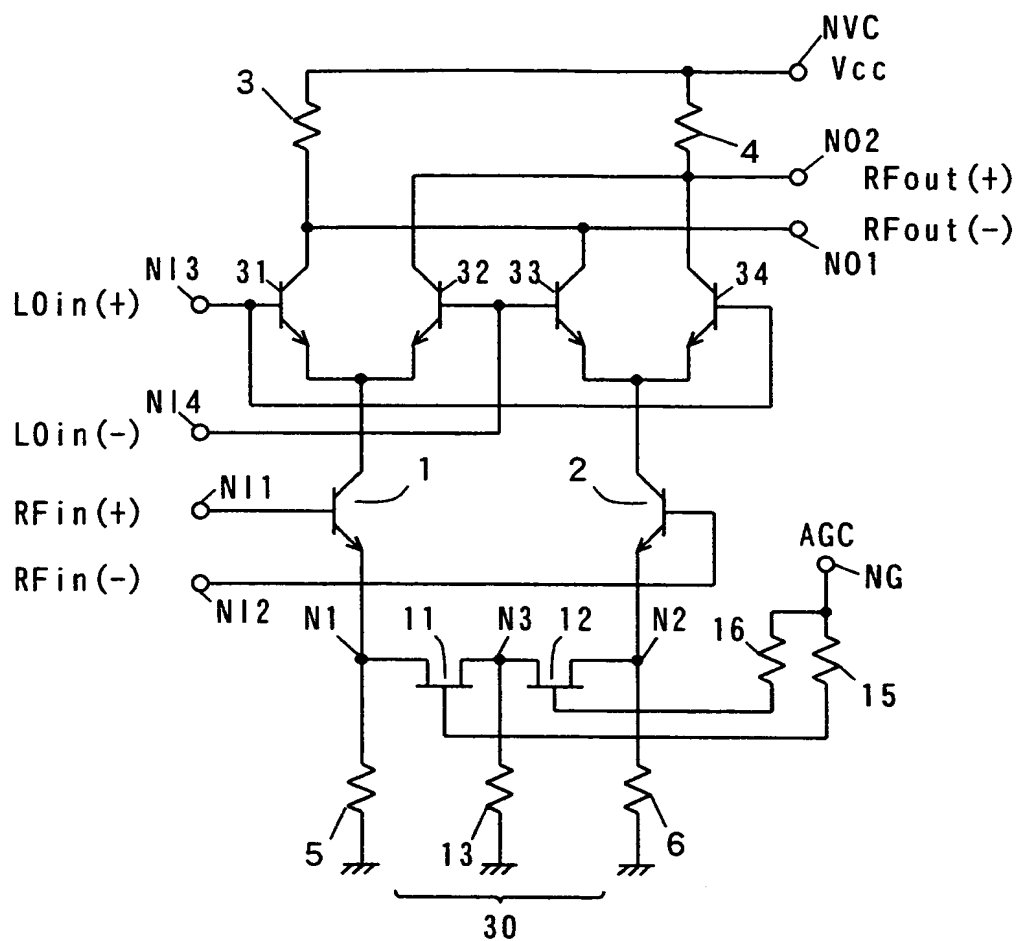
【図 9】



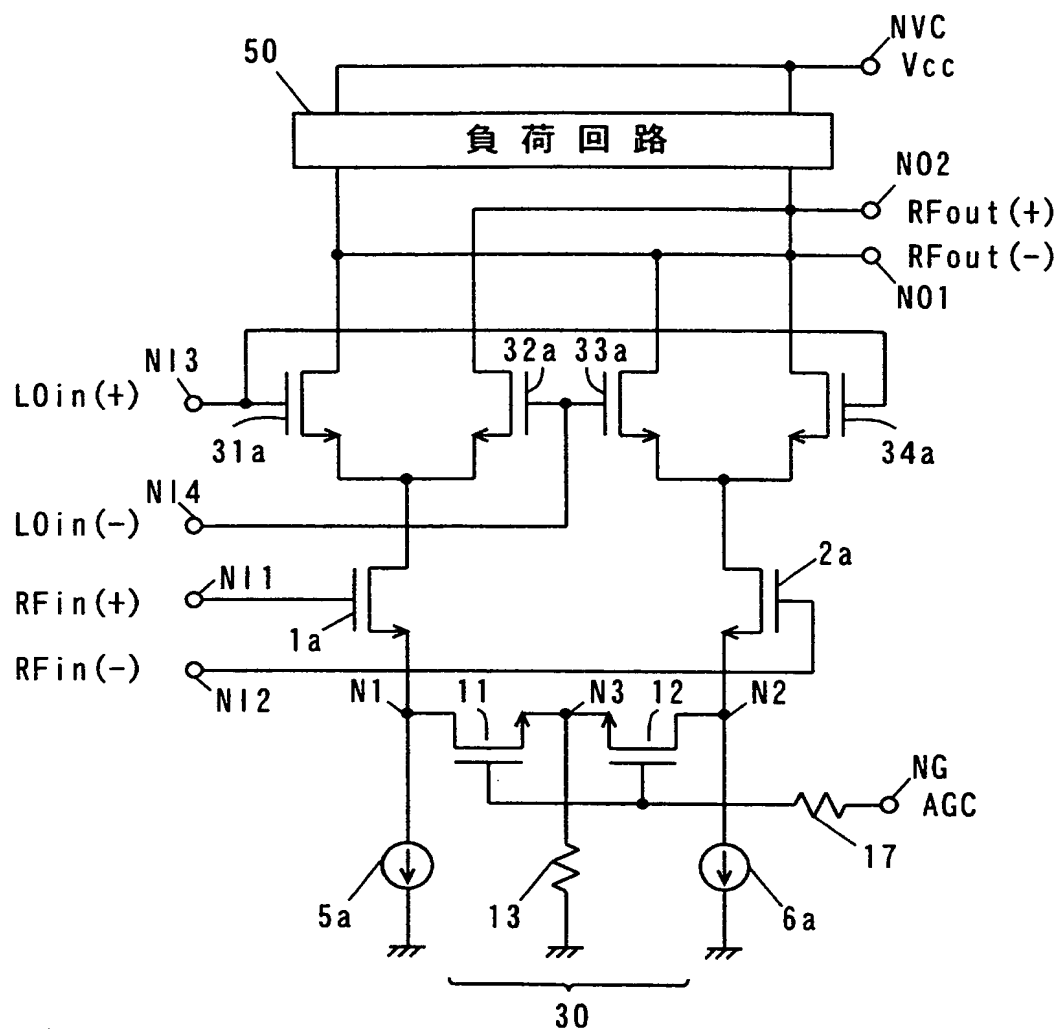
【図 10】



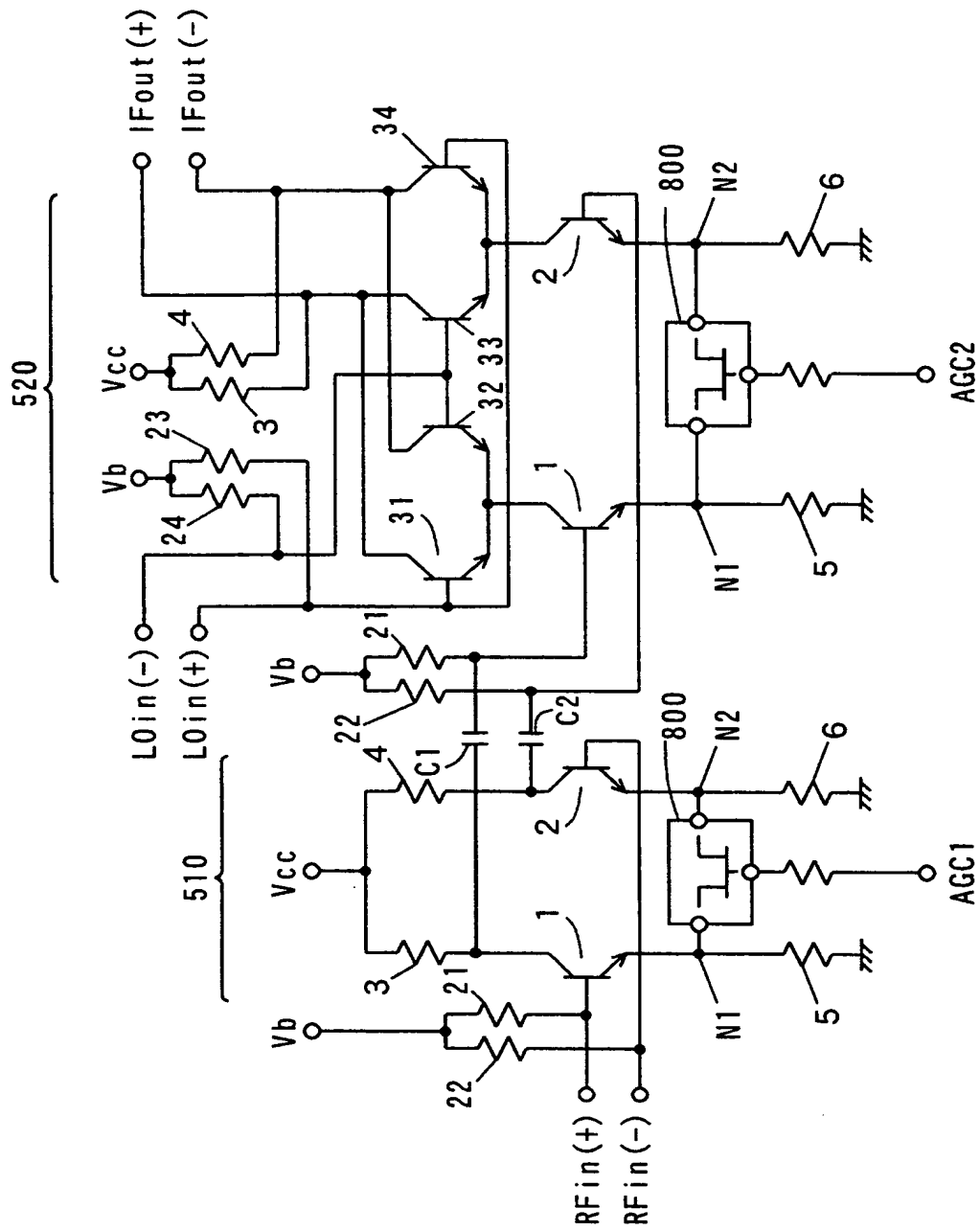
【図 11】



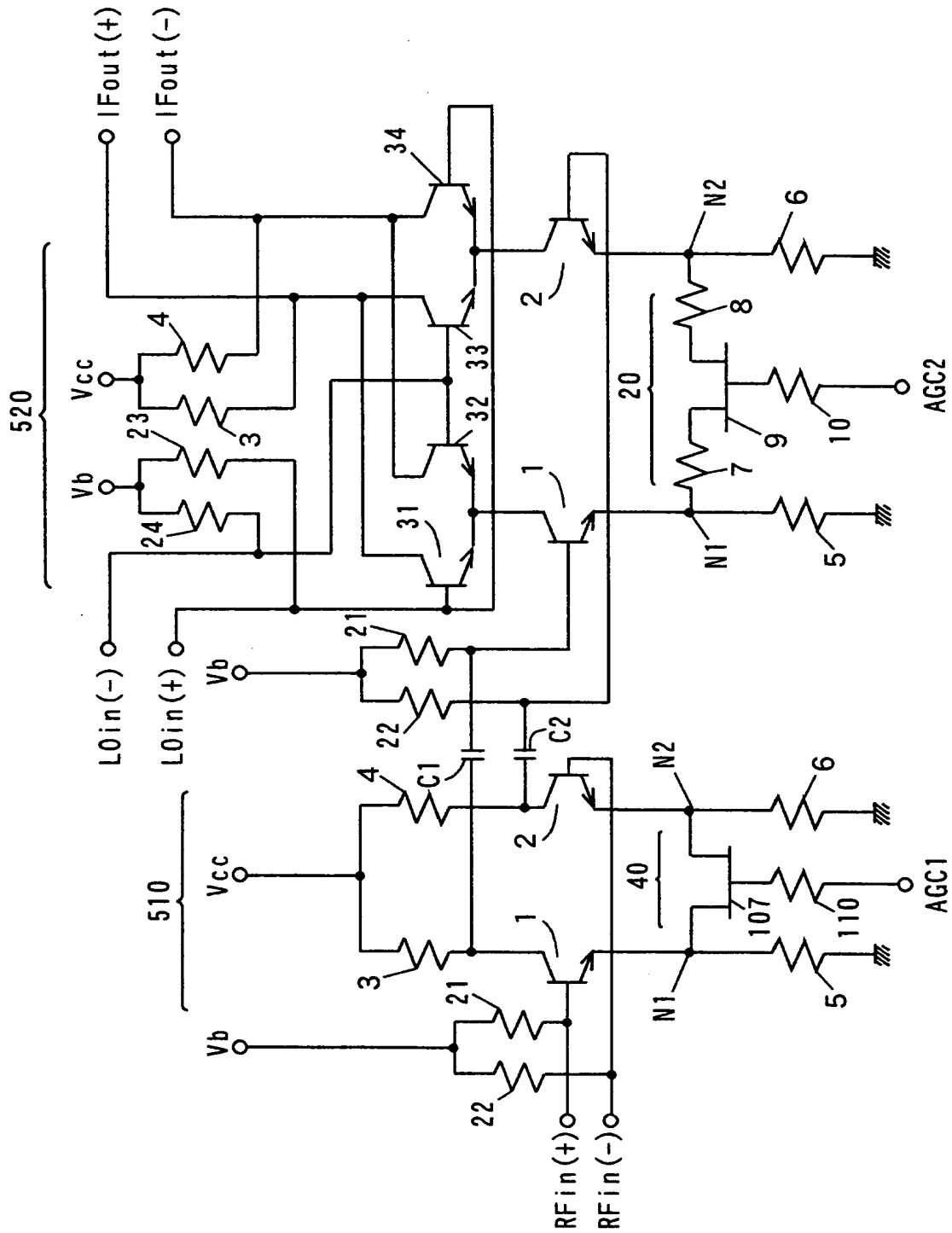
【図 12】



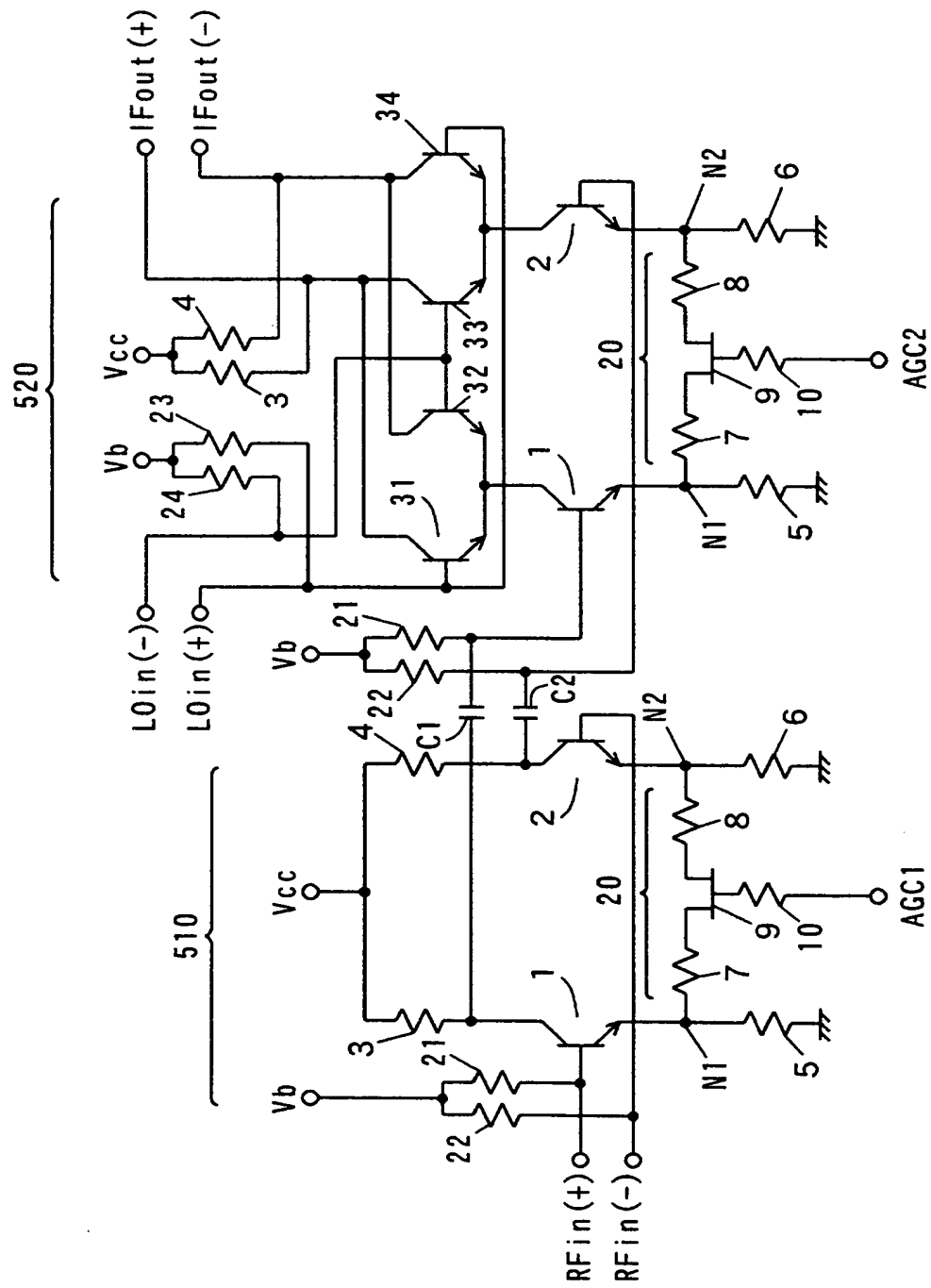
【図15】



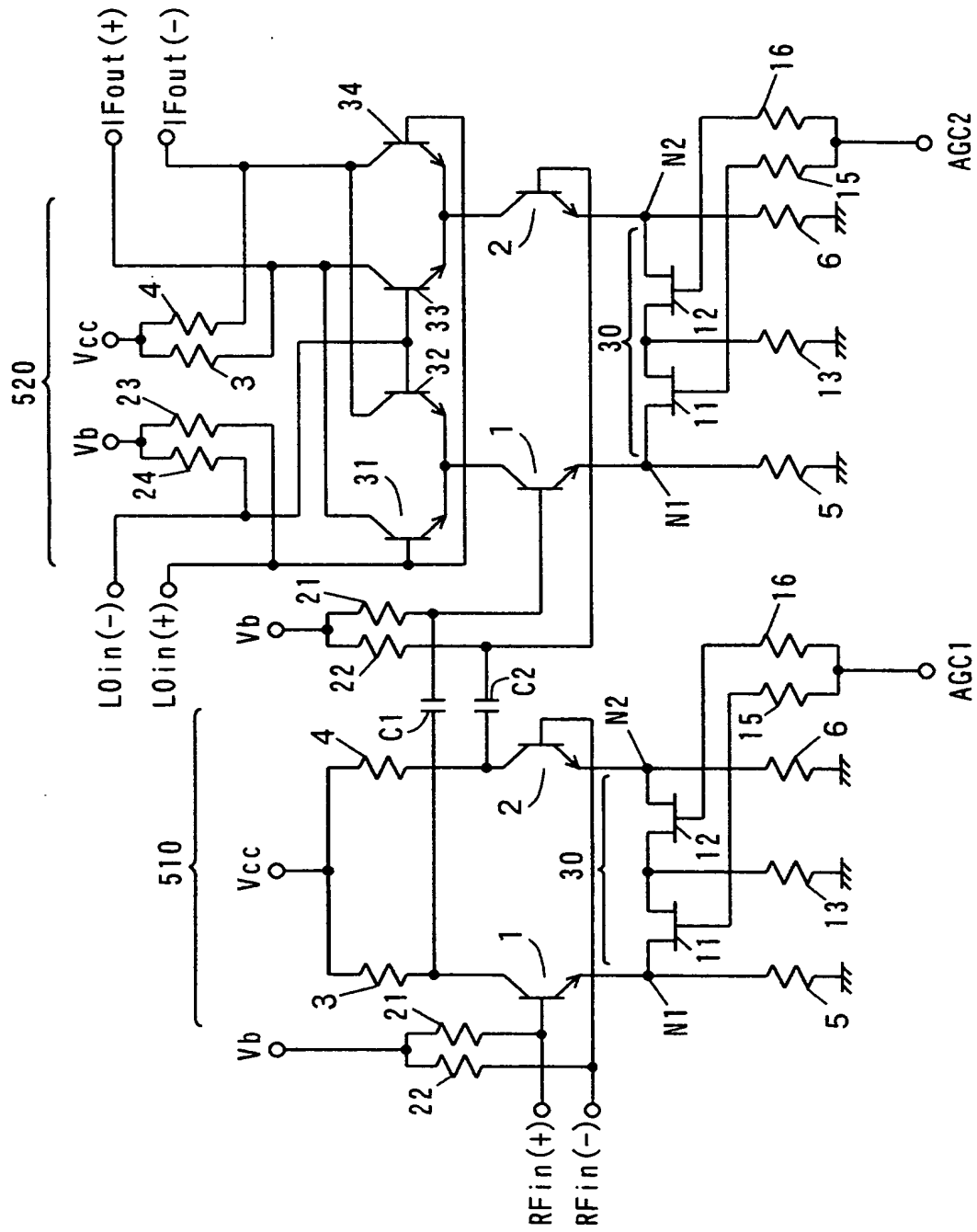
【図16】



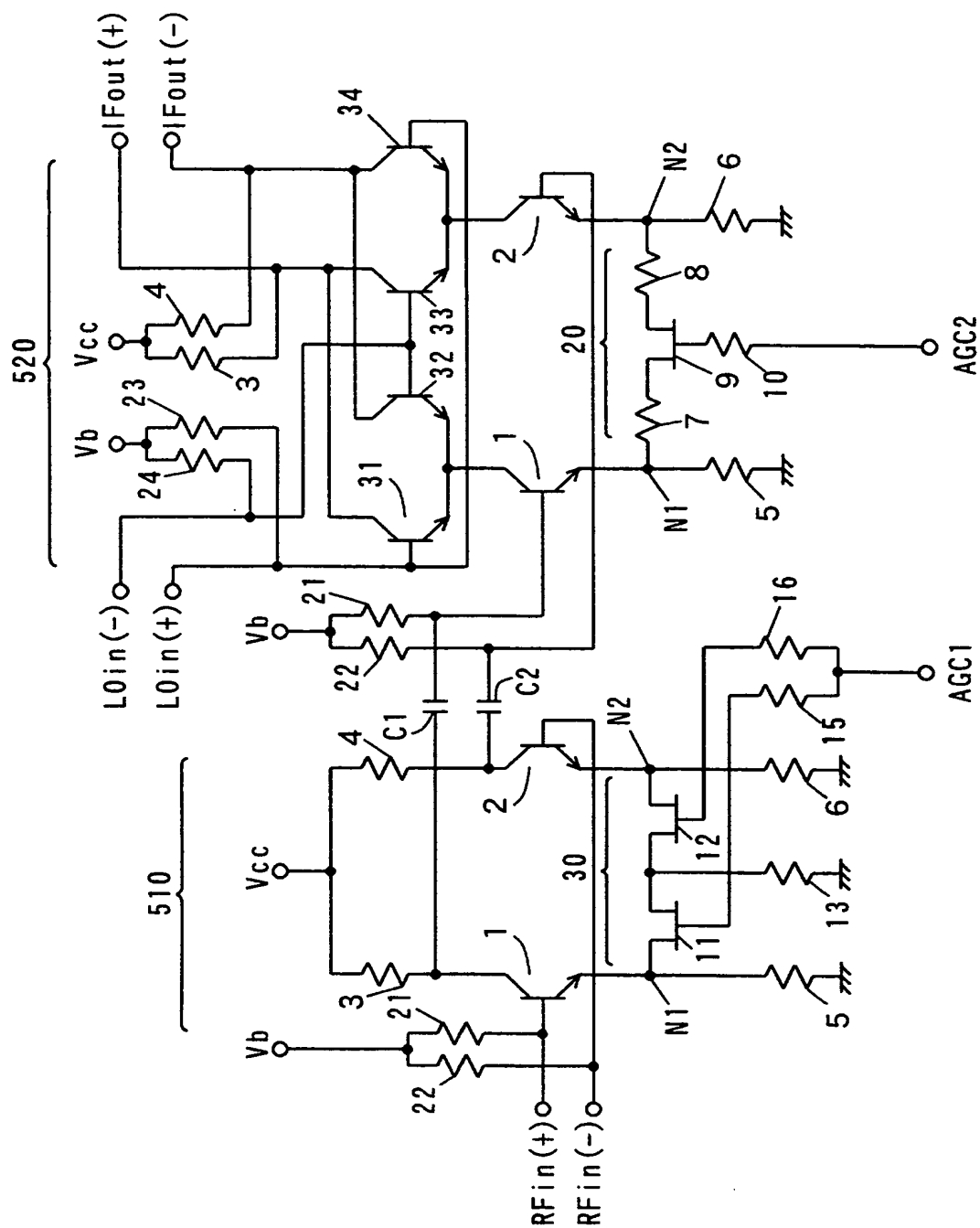
【図 17】



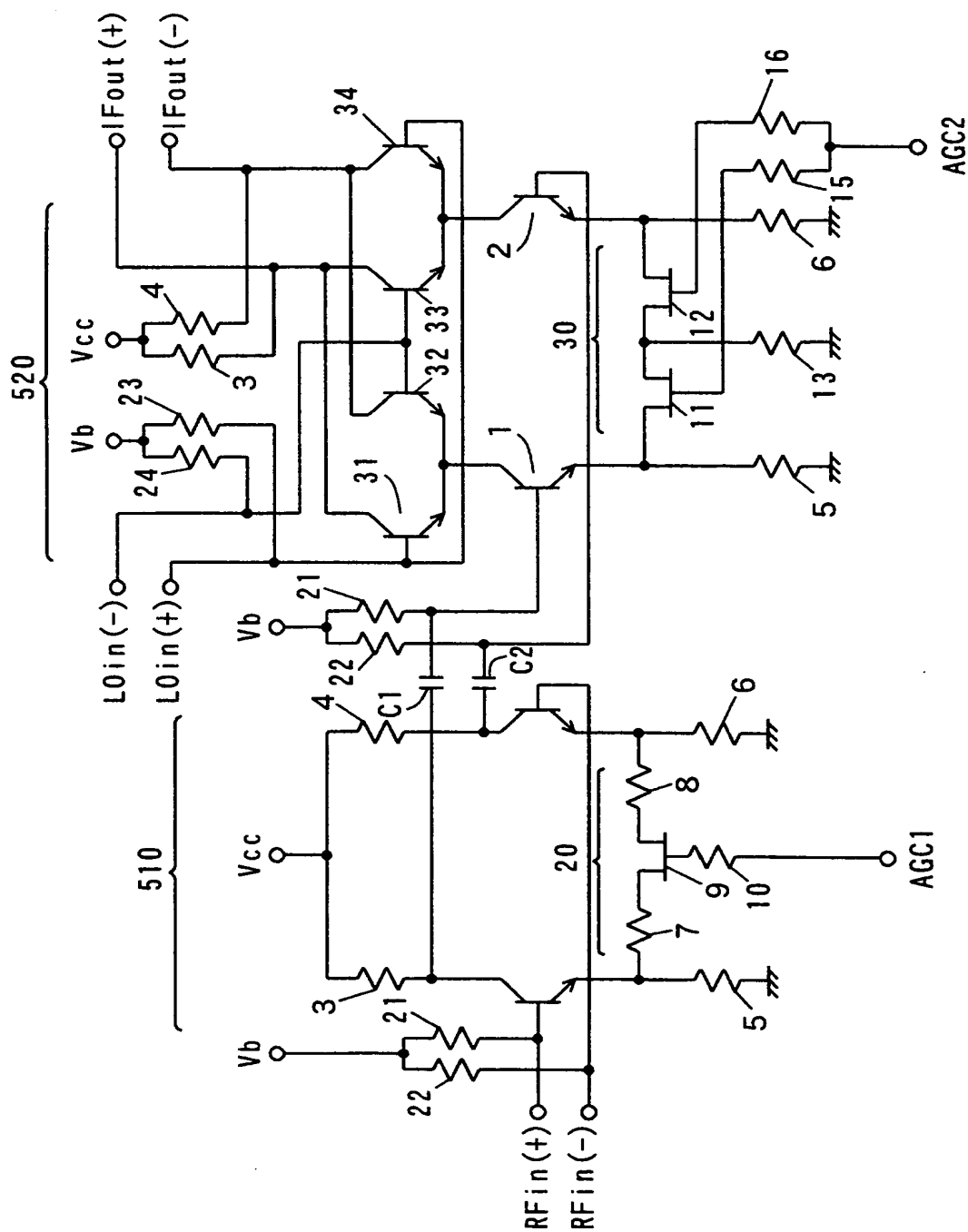
【図 18】



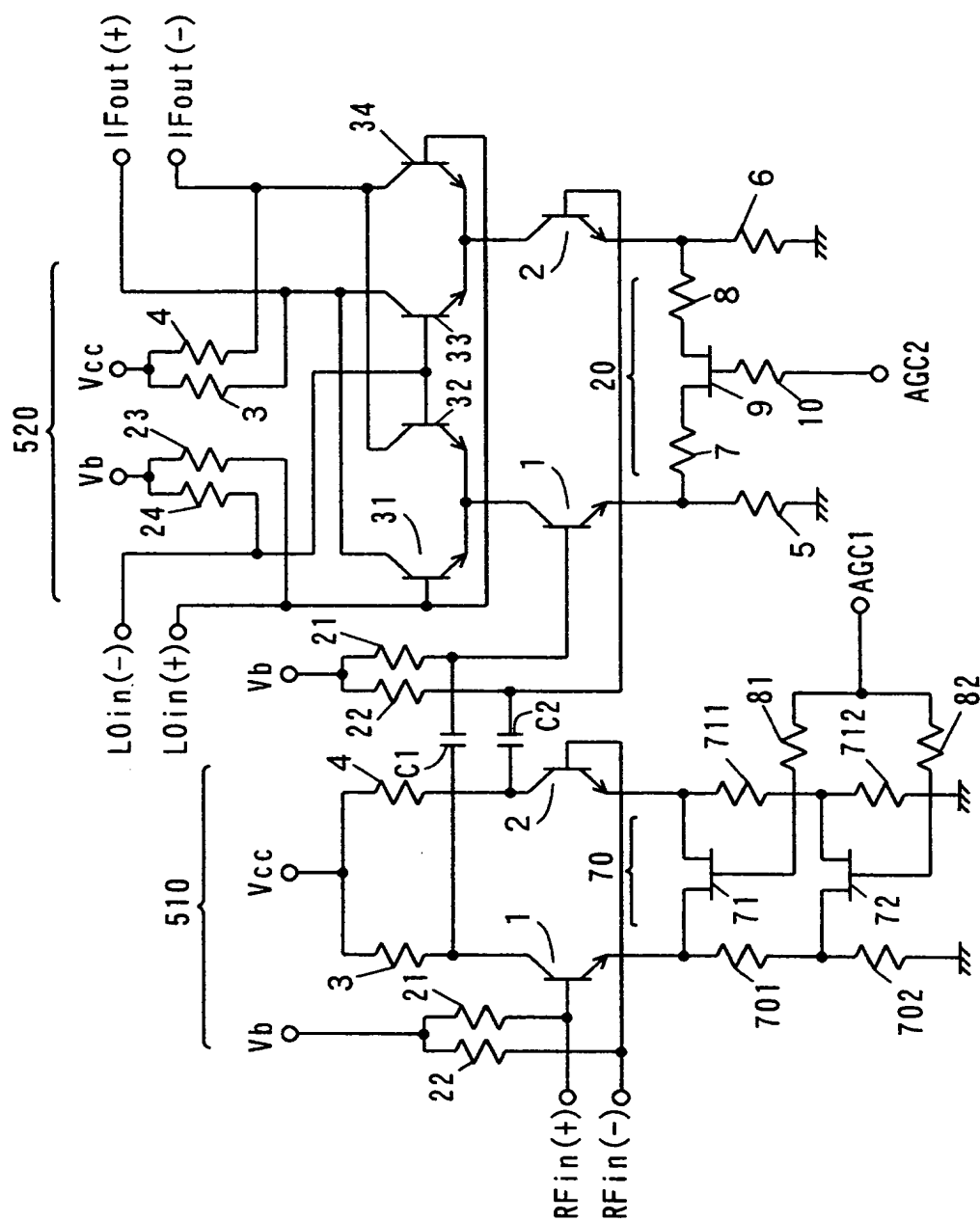
【図 19】



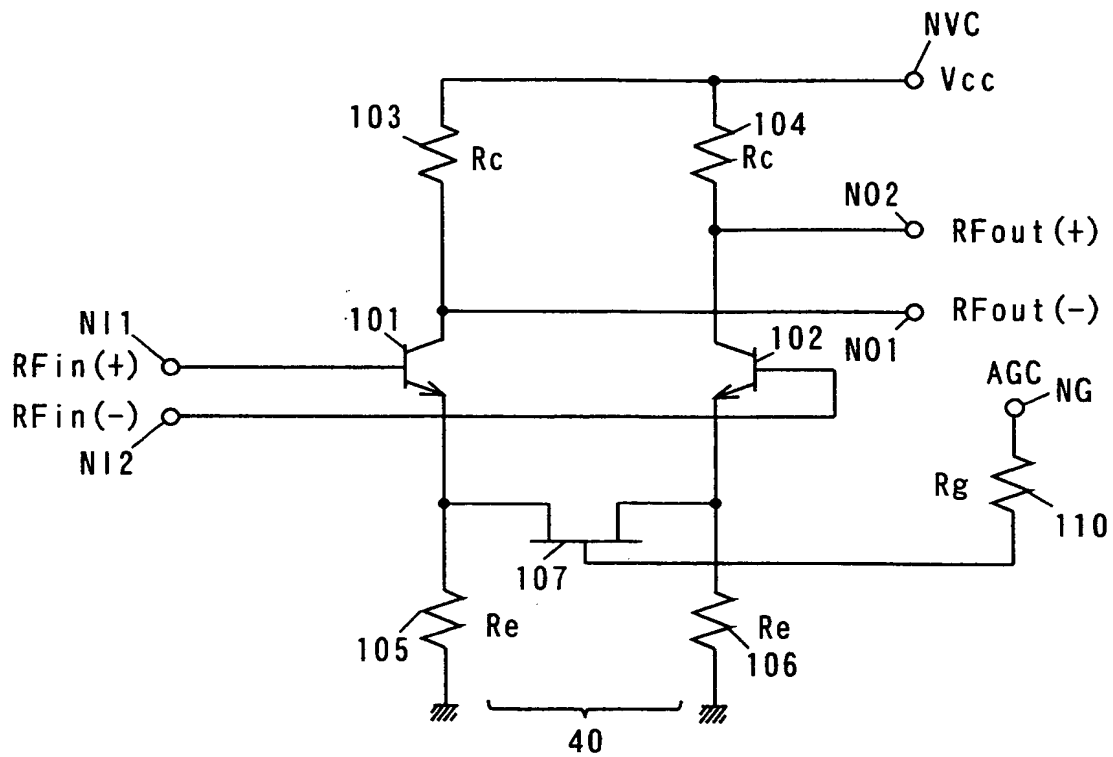
【図 20】



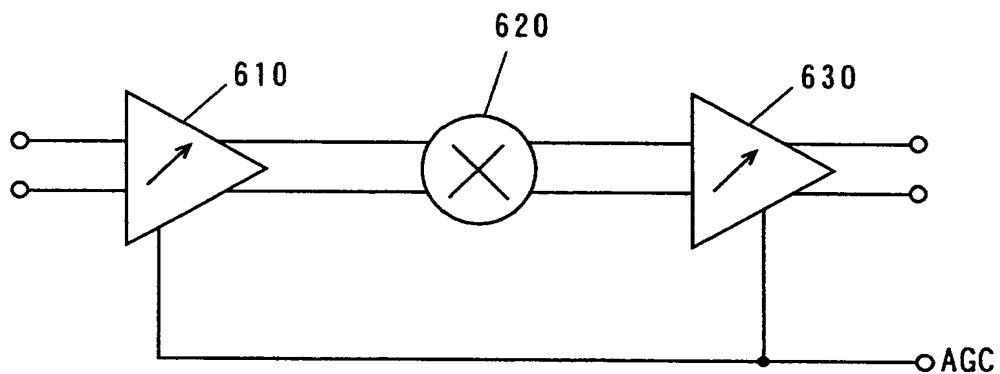
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 動作電流を変化させることなく低歪み化を実現することができる可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【解決手段】 トランジスタ 1, 2 のコレクタは、それぞれ抵抗 3, 4 を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。トランジスタ 1, 2 のエミッタは、それぞれ抵抗 5, 6 を介して接地端子に接続されている。トランジスタ 1, 2 のエミッタに接続されるノード $N1$, $N2$ 間には、シャント抵抗 7、FET 9 およびシャント抵抗 8 が直列に接続されている。FET 9 のゲートは、抵抗 10 を介して制御電圧 AGC を受ける制御端子 NG に接続されている。シャント抵抗 7, 8 および FET 9 が可変抵抗回路 20 を構成する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 5 9 0 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社